

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2001-237314

(43)Date of publication of application : 31.08.2001

(51)Int.Cl.

H01L 21/768
C23C 14/06
C23C 16/08
H01L 21/28

(21)Application number : 2000-
361936

(71)Applicant : APPLIED
MATERIALS INC

(22)Date of filing :

23.10.2000 (72)Inventor : SINGHVI SHRI
SURAJI
RENGARAJAN
DING PEIJUN
YAO GONGDA

(30)Priority

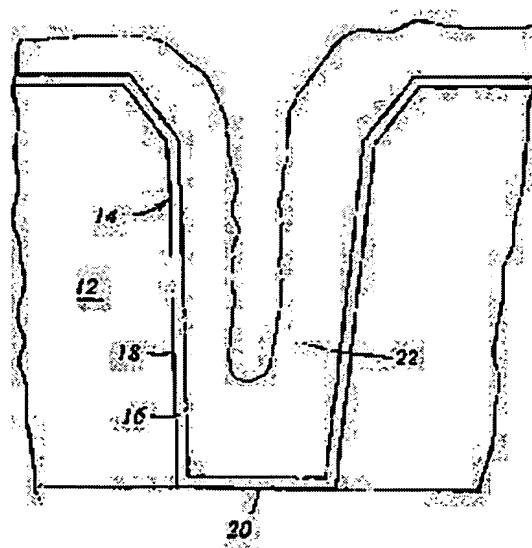
Priority 1999 425082 Priority 21.10.1999 Priority US
number : date : country :

(54) BARRIER APPLICATIONS FOR ALUMINUM PLANARIZATION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reliable barrier layer for a metal covering process.

SOLUTION: An effective barrier layer is provided. The barrier layer improves the via fill of an aperture with a high aspect ratio at a low temperature and is in the order of sub-micron or less, particularly at the contact level of a substrate. In this case, via-holes are filled by first depositing the barrier layer onto the substrate having contact with the high aspect ratio or a via being formed in the contact. The barrier layer is preferably



comprised of Ta, TaNx, W, WN_x, or the combination. After that, a CVD conformal metal layer is deposited on the barrier layer at a low temperature for supplying a conformal wetting layer for PVD metal. Then, a PVD metal layer is deposited onto the CVD conformal metal layer that is previously formed at temperature or lower than the melting point of the metal for allowing for the flow of the via of the CVD conformal layer and PVD metal layers.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-237314
(P2001-237314A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコート(参考)
H 01 L 21/768		C 23 C 14/06	N
C 23 C 14/06		16/08	
16/08		H 01 L 21/28	301R
H 01 L 21/28	301	21/90	D

審査請求 未請求 請求項の数41 O.L 外国語出願 (全41頁)

(21) 出願番号	特願2000-361936(P2000-361936)
(22) 出願日	平成12年10月23日 (2000.10.23)
(31) 優先権主張番号	09/425082
(32) 優先日	平成11年10月21日 (1999.10.21)
(33) 優先権主張国	米国 (US)

(71) 出願人	500022096 アプライド マテリアルズ インコーポレ イテッド アメリカ合衆国 カリフォルニア州 95052 サンタ クララ ピーオーポック ス 450エイ
(72) 発明者	シュリ シングヴィ アメリカ合衆国 カリフォルニア州 95035 ルビタス ストラットフォード ドライヴ 2213
(74) 代理人	100059959 弁理士 中村 稔 (外9名)

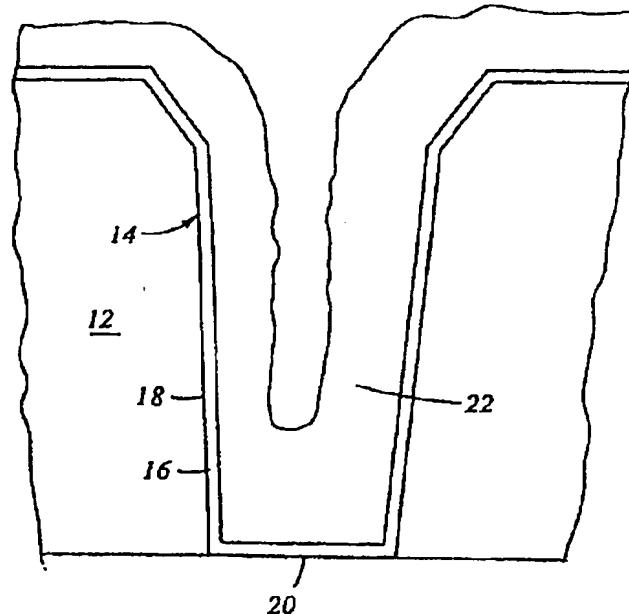
最終頁に続く

(54) 【発明の名称】 アルミニウム平坦化のための障壁適用

(57) 【要約】

【課題】 金属被覆プロセスのための信頼性のある障壁層を提供する。

【解決手段】 本発明は、特に、基板のコンタクトトレーパルで、低温度で高アスペクト比のミクロン以下のアペーチャのバイア充填を改善するための有効な障壁層を供給する。本発明の1つの局面では、特徴は、高アスペクト比のコンタクト又はそこに形成されたバイアを有する基板に障壁層を最初に堆積することにより充填される。好ましくは、障壁層はTa、Ta_x、W、WN_x又はその組合せから成っている。その後、CVD整合金属層は低温度で障壁層上に堆積され、PVD金属層のための整合ウェッティング層を供給する。次に、PVD金属層は金属の融点温度のそれ以下の温度で以前形成されたCVD整合金属層に堆積され、CVD整合層及びPVD金属層のバイアの流れを許容する。



【特許請求の範囲】

【請求項 1】 基板の接点レベルに素性を形成する方法であって、(a) Ta、Ta_x、W、WN_x及びその組合せのグループから選択された材料を備えた障壁／ウェッティング層をアーチャの表面上に堆積し、(b) 前記障壁／ウェッティング層の表面上に約200オングストロームと約1ミクロンの間の厚さを有する整合金属層を堆積し、(c) 約600°C以下の温度で前記整合層上に金属層を堆積することを特徴とする方法。

【請求項 2】 前記障壁／ウェッティング層は、約200オングストローム以下の厚さを有する請求項1に記載の方法。

【請求項 3】 前記障壁／ウェッティング層は、約5オングストロームと約1000オングストロームの間の厚さを有する請求項1に記載の方法。

【請求項 4】 前記整合金属層及び前記金属層は、アルミニウム、銅、及びその組合せのグループから選択された金属を備えている請求項1に記載の方法。

【請求項 5】 前記整合金属層は、化学気相成長法により堆積され、前記伝導金属層は物理気相成長法又は電気めつきにより堆積されている請求項4に記載の方法。

【請求項 6】 前記金属層は、約400°C以下の温度で堆積される請求項1に記載の方法。

【請求項 7】 前記ステップ(a)から(c)は、統合プロセスシステムで連続的に行われる請求項1に記載の方法。

【請求項 8】 前記ステップ(a)から(c)は、別のチャンバーで行われる請求項1に記載の方法。

【請求項 9】 約250°Cと約450°Cの間の温度で前記金属層をアニールするステップをさらに備えている請求項1に記載の方法。

【請求項 10】 前記障壁層は、約0.5ミリトルと約100ミリトルの間のチャンバー圧力でイオン化された金属プラズマ物理気相成長法(IMP-PVD)を使用して堆積される請求項1に記載の方法。

【請求項 11】 前記障壁層は、ターゲットをスパッタリングすると共に前記ターゲットと前記基板の間に電磁場を供給することにより堆積される請求項1に記載の方法。

【請求項 12】 前記電磁場は、約200Wと約24kWの間でバイアスをかけられたRFをコイルに加えることにより供給される請求項11に記載の方法。

【請求項 13】 前記ターゲットは、約200Wと約24kWの間のバイアスを前記ターゲットに加えることによりスパッタされる請求項12に記載の方法。

【請求項 14】 約300Wと1000Wの間の基板にバイアスをかけることをさらに含む請求項13に記載の方法。

【請求項 15】 基板の接点レベルでアーチャを充填するプロセスであって、(a) Ta、Ta_x、W、W

N_x及びその組合せのグループから選択された材料を備えた薄い障壁／ウェッティング層をアーチャの表面上に形成し、(b) 前記障壁／ウェッティング層上に薄い整合CVD金属層を形成し、(c) 約600°C以下の温度で前記CVD金属層上にPVD金属層を形成する、ことを特徴とするプロセス。

【請求項 16】 前記障壁／ウェッティング層は、約2000オングストローム以下の厚さを有する請求項15に記載のプロセス。

【請求項 17】 前記障壁CVD金属層は、前記アーチャの頂部を密閉する厚さ以下の厚さを有している請求項15に記載のプロセス。

【請求項 18】 前記CVD整合金属層は、アルミニウム、銅、及びその組合せのグループから選択された伝導金属材料を備えている請求項15に記載のプロセス。

【請求項 19】 前記PVD金属層は、アルミニウム、銅、及びその組合せのグループから選択された金属を備えている請求項15に記載のプロセス。

【請求項 20】 前記PVD層は、400°C以下の温度で堆積される請求項19に記載のプロセス。

【請求項 21】 前記障壁層は、約0.5ミリトルと約100ミリトルの間のチャンバー圧力で、イオン化金属プラズマ物理気相成長法(IMP-PVD)を使用して堆積される請求項15に記載のプロセス。

【請求項 22】 前記障壁層は、ターゲットをスパッタリングすると共に前記ターゲットと前記基板の間に電磁場を供給することにより堆積される請求項15に記載のプロセス。

【請求項 23】 前記電磁場は、約200Wと約24kWの間でバイアスをかけられたRFをコイルに加えることにより供給される請求項22に記載のプロセス。

【請求項 24】 前記ターゲットは約200Wと約24kWの間のバイアスを前記ターゲットに加えることによりスパッタリングされる請求項23に記載のプロセス。

【請求項 25】 約0Wと1000Wの間の基板にバイアスをかけることをさらに含む請求項24に記載のプロセス。

【請求項 26】 前記CVDは、約400°C以下の温度で堆積される請求項15に記載のプロセス。

【請求項 27】 前記CVD及びPVD層は混合され、混合金属層を形成する請求項15に記載のプロセス。

【請求項 28】 a) 前記基板に形成され、それに形成されたアーチャを有し、前記基板に通じる誘電層と、
b) Ta、Ta_x、W、WN_x及びその組合せのグループから選択された材料を備えた前記アーチャの表面上の障壁／ウェッティング層と、

c) 前記障壁／ウェッティング層上に形成され、Al、Cu及びその組合せのグループから選択された材料を備えた化学気相成長の整合金属層と、

d) 前記化学気相成長の整合金属層上に形成され、約4

0 0 °C以下の温度で堆積され、A 1、C u 及びその組合せのグループから選択された材料を備えた物理気相成長金属層と、を備えていることを特徴とする半導体基板。

【請求項 2 9】 前記障壁／ウェッティング層は、約 2 0 0 0 オングストローム以下の厚さを有する請求項 2 8 に記載のプロセス。

【請求項 3 0】 コンピュータにより読まれると共に実行される時に、

- a) チャンバーでプラズマを発生させ、
- b) 前記チャンバーで堆積されたターゲットにバイアスを供給し、
- c) コイルにバイアスを供給し、
- d) 基板に材料を堆積している間、前記チャンバーの圧力を約 0. 5 ミリトルと約 1 0 0 ミリトルの間に維持する、ことを特徴とするプログラム製品。

【請求項 3 1】 電磁場は、約 2 0 0 W と約 2 4 k W の間にバイアスをかけられた R F をコイルに加えることにより供給される請求項 3 0 に記載のプログラム製品。

【請求項 3 2】 ターゲットは、約 2 0 0 W と約 2 4 k W の間にバイアスを前記ターゲットにかけることによりスパッタされる請求項 3 1 に記載のプログラム製品。

【請求項 3 3】 e) 約 0 W と 1 0 0 0 W の間にバイアスを基板に供給することをさらに含む請求項 3 1 に記載のプログラム製品。

【請求項 3 4】 前記ターゲットは、T a、T a N、W、W N 及びその組合せのグループから選択された材料を備えている請求項 3 1 に記載のプログラム製品。

【請求項 3 5】 基板の前記接点レベルに素性を形成する方法であつて、(a) T a、T a N_x、W、W N_x 及びその組合せのグループから選択された材料を備えた障壁／ウェッティング層をアーチャの表面上に堆積し、

(b) 前記障壁／ウェッティング層の表面上に金属層を堆積することを特徴とする方法。

【請求項 3 6】 前記金属層は、約 2 0 0 オングストロームと約 1 ミクロンの間の厚さを有する整合金属層を前記障壁／ウェッティング層上に堆積し、その後、約 6 6 0 °C以下の温度で前記整合金属層上に伝導金属層を堆積することにより形成される請求項 3 5 に記載の方法。

【請求項 3 7】 前記整合金属層は化学気相成長法により堆積され、前記伝導金属層は物理気相成長法又は電気めつきにより堆積される請求項 3 6 に記載の方法。

【請求項 3 8】 前記整合金属層及び前記伝導金属層は、アルミニウム、銅、及びその組合せのグループから選択された金属を備えている請求項 3 6 に記載の方法。

【請求項 3 9】 約 2 5 0 °C と約 4 5 0 °C の間の温度で前記金属層をアニールするステップをさらに備えている請求項 3 5 に記載の方法。

【請求項 4 0】 前記障壁層は、約 0. 5 ミリトルと約 1 0 0 ミリトルの間のチャンバー圧力で、イオン化金属プラズマ物理気相成長法 (I M P - P V D) を使用して

堆積される請求項 3 5 に記載の方法。

【請求項 4 1】 前記障壁層はターゲットをスパッタリングすることにより堆積され、前記ターゲットをスパッタリングすることは、約 2 0 0 W と約 2 4 k W の間にバイアスをかけられた R F をコイルに加えることと、約 2 0 0 W と約 2 4 k W の間のバイアスを前記ターゲットにかけることと、約 3 0 0 W と 1 0 0 0 W の間のバイアスを前記基板にかけることを含む請求項 4 0 に記載の方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、半導体デバイスを製造するための金属被覆プロセスに関する。より詳細には、本発明は接点障壁層を堆積するための方法に関する。

【0 0 0 2】

【従来の技術】 ハーフミクロン以下の多層金属被覆は、集積回路 (I C) の次世代の超大規模集積回路 (V L S I) の重要な技術の 1 つを表している。多層レベルのインターネットの素性の信頼性のある形成は、接点、バイア、ライン、及びトレンチを含んでおり、V L S I の成功、及び個々の基板及びダイの回路密度を増加させるための連続した努力に重要である。回路密度が増加すると、素性の幅は 0. 5 μ m 以下まで減少し、誘電層の厚さは実質的に一定のままであり、素性のアスペクト比が増加し、すなわち、高さが幅で分割される。化学気相成長法 (C V D) 及び物理気相成長法 (P V D) のような多くの伝統的な堆積プロセスが、基板に形成される素性のアスペクト比が 2 : 1 を超える適用、特に、アスペクト比が 4 : 1 に近い適用で試されている。

【0 0 0 3】 金属含有層が素性の側壁に素性の幅に亘って堆積し、素性が完全に充填される前に素性の幅に亘り結局収束する時、一定の金属含有層を高アスペクト比の素性に堆積する 1 つの困難さが起こる。部分的に充填された素性が覆われると、空隙及び切れ目が素性に堆積された材料内部に形成される。これらの空隙及び切れ目は信頼性のない電気接点、インターネット、及び他の回路の素性となることがある。

【0 0 0 4】 空隙が素性に形成される可能性を減少させる 1 つの方法は、高温度 (例えば、> 3 5 0 °C) でアニールすることにより金属を平坦化することである。基板への連続ウェッティング層の形成は高温度での平坦化を成功させるためのキーである。しかし、高温での平坦化は、障壁／ライナー層を通じて周囲の誘電材料に金属を拡散させることになる。結果として、高温度は基板の接点レベルで使用されない。

【0 0 0 5】 薄い整合金属膜は、低温度 (例えば、< 5 5 0 °C) で行われる次の物理気相成長及び平坦化技術のための良好なウェッティング層であることが分かっている。このプロセスは、1 9 9 9 年 3 月 2 日に発行され、

Applied Materials社に共同譲渡された「低温集積金属被覆プロセス及び装置(Low Temperature Integrated Metallization Process and Apparatus)」という表題の Mosely等の米国特許No. 5, 877, 087にもっと完全に開示されている。

【0006】Mosely等は、最初に薄い耐熱金属層を堆積し、その後、低温度でCVD金属層を堆積し、次に堆積されるPVD金属のため整合ウェッティング層を供給する。PVD金属は金属の融点温度のそれ以下の温度で以前形成されたCVD金属層に堆積される。結果として生じたCVD/PVD金属層は素性に実質的に空隙がない。耐熱金属層は、金属拡散を受けやすい誘電層となることがある下層にCVD又はPVD金属層による拡散に対する障壁を供給する。耐熱金属層は、通常、チタン(Ti)、窒化チタン、又はそれらの金属の組合せのような材料を含んでいる。CVD及びPVD層は、伝統的に、アルミニウム(A1)及び銅で不純物を添加されたアルミニウムを有している。しかし、下にあるチタン(Ti)耐熱金属層上のアルミニウムの堆積は、三アルミニウムチタン(TiAl₃)の形成の問題を表す。Tiは、A1と結合し、絶縁体であるTiAl₃を形成、それにより、伝導素性の性能を汚す傾向がある。

【0007】TiAl₃の形成を防ぐ1つの解決法は、窒化チタン(TiN)層の堆積がTi層の堆積に続くことである。TiN層の重複はA1と結合するために使用可能なTiの量を減少させ、それにより、TiAl₃の形成を最小にする。さらに、TiN層はチタンとアルミニウムの両方と良好な結合をする良好な中間にかわ層であり、窒化チタンはアルミニウムと相互に作用しない。Ti/TiN/A1の堆積手順はTiAl₃の形成を減少させるために示されているが、手順はA1との相互作用を防ぐためTi層が実質的にTi層を覆うことを要求する。不運にも、金属被覆の積重ねにさらなる層を含ませることは素性のサイズをさらに減少させる。金属被覆の積重ねの厚さを最小にする試みにおいて、TiN層の非常に薄い層がTi層に堆積される。しかし、そのような薄いTiN層は決して連続的ではなく、それにより、TiAl₃の形成を防ぐのに余り有効ではない。

【0008】Ti/TiN障壁層の組合せにより増加した障壁層の厚さを避けるための1つの代わりの解決法は、下のTi層がない時は障壁層としてTiNを使用することである。しかし、TiN障壁層は伝統的に物理気相成長技術により堆積され、小さく高アスペクト比の素性の整合障壁層以下となり、従って、堆積された金属被覆の積重ねの層間での拡散を防止するのに有効ではないことがある。

【0009】

【発明が解決しようとする課題】1つの顕著な問題は、チタン及び又は窒化チタンがアルミニウム及び銅のような伝導金属のための障壁層として使用される多層金属被

覆プロセスにおいて起こる。Mosely等で開示された平坦化技術のような高温度(例えば、>350°C)のプロセスでは、アルミニウムはTi、Ti/TiNの組合せ、又はTiN障壁層を通って拡散されることがある。金属が接点レベルで堆積された場合には、伝導金属は障壁層を通って拡散され、下にあるシリコン及び周囲の酸化物と反応する。アルミニウムと比べて、銅の低抵抗性、高い電子移動抵抗性、及び高い電流容量のため、今では銅が使用されているが、下にあるシリコン及び周囲の酸化物へのアルミニウムの拡散は、近接層の電子デバイスの特性を変え、層間の伝導経路を形成し、それにより、全体回路の信頼性を減少させ、デバイスの欠陥を引き起こすことがある短絡を形成することがある。

【0010】そのため、特に、アルミニウム及び銅のような伝導金属で、高アスペクト比でハーフミクロン以下の接点及びバイアを充填すると共に平坦化するためのプロセスにおいて、金属被覆プロセスのための信頼性のある障壁層の計画の必要性が依然としてある。

【0011】

【課題を解決するための手段】本発明の実施例は基板に伝導性の素性を形成するためのプロセスを供給する。1つの局面では、薄い障壁層は基板に形成され、障壁層上に形成された化学気相成長法(CVD)により堆積された薄い整合金属層が後に続く。障壁層は約2000オングストローム以下、好ましくは、約5オングストロームと1000オングストロームの間の厚さを有する。整合金属層は約2000オングストロームと1ミクロンの間の厚さ、好ましくは、素性の市場部を密閉する厚さ以下の厚さを有している。その後、金属層は約660°C以下の温度で整合金属層上に物理気相成長法により堆積され、実質的にアーチャを充填する。その後、PVD金属層及びCVD整合金属層は約250°Cと約450°Cの間の温度でアニールされてもよい。CVD整合金属層及びPVD金属層は、通常、金属導体、好ましくは、アルミニウム(A1)、銅(Cu)、及びその組合せである。障壁/ウェッティング層はタンタル(Ta)、窒化タンタル(TaN_x)、タングステン(W)、又は窒化タングステン(WN_x)及びその組合せのグループから選択された材料製である。プロセスは、好ましくは、統合プロセスシステムで連続して行われる。

【0012】本発明の別の局面では、基板は、PVDとCVDプロセスチャンバーの両方を含む統合プロセスシステムで行われる金属被覆プロセスから作られる。基板は、半導体基板と、半導体基板に形成される誘電層とを含み、誘電層はそれに形成されたアーチャを有し、半導体基板、アーチャの表面上に形成された障壁/ウェッティング層と通じており、障壁/ウェッティング層は、Ta、TaN_x、W、WN_x及びその組合せのグループから選択された材料を含んでいる。好ましくは、障壁層は約2000オングストローム以下、好ましくは、約

5 オングストロームと 1 0 0 0 オングストロームの間の厚さを有している。次に、A 1、Cu 等の化学気相成長の整合金属層は障壁／ウェッティング層上に形成されている。最後に、金属層は化学気相成長の整合金属層上に物理気相成長法又は電気めっきにより堆積される。物理気相成長の金属層は約 4 0 0 °C 以下の温度で堆積され、CVD 及び PVD 堆積の金属層をアーチャに流れさせ、そこに空隙を形成することなくインターフェクトを形成させる。PVD 金属層は、好ましくは、A 1、Cu 及びその組合せのグループから選択された金属を備えている。

【0013】本発明の別の局面はプログラム製品を供給し、コンピュータに読まれると共に実行される時に、チャンバーにプラズマを発生し、チャンバーに堆積されたターゲットにバイアスを供給し、コイルにバイアスを供給し、そして、基板への材料の堆積の間、約 0.5 ミリトルと約 1 0 0 ミリトルの間にチャンバー圧力を維持する。プログラム製品は、約 2 0 0 W と約 2 4 k W の間でコイルに RF バイアスを供給すると共に、約 2 0 0 W と約 2 4 k W の間でターゲットにバイアスを供給する。プログラム製品は、約 0 W と 1 0 0 0 W の間の基板にバイアスを供給することをさらに含んでいてもよい。チャンバーに配置されたターゲットは、好ましくは、Ta、TaN、W、WN 及びその組合せのグループから選択された材料である。

【0014】

【発明の実施の形態】本発明は、一般に、低プロセス温度で堆積可能な高アスペクト比のミクロン以下のアーチャのバイア充填を向上させるための有効な障壁層を提供する。本発明はまた、接点、バイア、ライン、又は他の素性を含む高アスペクト比のアーチャを約 6 6 0 °C 以下の温度で金属被覆するための方法を供給する。特に、本発明は伝導金属の第 1 層、好ましくは、CVD アルミニウム (CVD A 1) 又は CVD 銅 (CVD Cu)、及び伝導金属の第 2 層、好ましくは、PVD アルミニウム (PVD A 1) 又は PVD 銅 (PVD Cu) の適用で、高アスペクト比の開口を充填するための改善したステップ範囲を供給する。薄い CVD 層は、CVD 及び又は PVD 金属層のそれ以上の融点を有し、誘電体より CVD 金属層でもっと湿潤を供給する伝導金属から成る薄い障壁／ウェッティング層の堆積により、誘電層から乾燥したり、誘電層に拡散するのを防止される。タンタル (Ta)、窒化タンタル (Ta_{N_x})、タンゲステン (W)、窒化タンゲステン (WN_x)、又はその組合せのような障壁層は、近接の誘電材料にアルミニウム又は銅が拡散するのを防ぐのに好適である。

【0015】図 1 は、そこに形成されたパターン化された誘電層 1 2 を有すると共にそこに形成されたバイア 1 4 を有する基板 1 0 の概略図である。タンタル又は窒化タンタルのような材料の薄い障壁／ウェッティング層 1

6 は、基板に整合して堆積され、バイア 1 4 の壁 1 8 及び底レベル 2 0 を含む誘電層 1 2 の全ての表面を実質的に覆う。薄いタンタル層 1 6 は、通常、約 2 0 0 0 オングストローム以下の厚さを有し、好ましい厚さは、約 5 オングストロームと約 1 0 0 0 オングストロームの間であり、最も好ましい厚さは、約 1 0 0 オングストロームと約 4 0 0 オングストロームの間である。整合 CVD A 1 層 2 2 は、接点又はバイアの最上部をブリッジ又はシールする厚さを超えない厚さ、通常は、約 2 0 0 オングストロームから約 1 ミクロンの厚さであるが、好ましくは、ミクロン以下の素性のためには約 2 0 0 0 オングストローム以下の厚さまで障壁／ウェッティング層に堆積される。整合 CVD A 1 層 2 2 は、種層、又は次に堆積される金属層のためのウェッティング層として作用する。

【0016】図 2 は、CVD A 1 又は Cu 層に堆積され、それに PVD 層 2 3 を形成する PVD A 1 又は Cu 層を示す基板 1 0 の概略図である。混合 CVD/PVD 層 2 4 は、PVD 層が CVD 層に堆積されると共に集積される時に、生じる。混合層 2 4 の最上面 2 6 は、実質的に平坦化されるであろう。PVD 層は一定の不純物を含んでいてもよく、堆積により、PVD 材料は CVD 材料で混合され、不純物が PVD/CVD 層 2 4 中に散乱されるようになっている。不純物はアルミニウム層の銅であってもよく、銅層のアルミニウム又は錫 (Sn) であってもよい。

【0017】障壁／ウェッティング層は CVD 層の良好なウェッティング層を供給するので、PVD の堆積中の基板温度はアルミニウムの融点 (6 6 0 °C) を超える必要はないが、むしろ約 6 6 0 °C 以下の温度、好ましくは、約 4 0 0 °C 以下の温度で行われてもよい。低い金属被覆プロセス温度はプロセスの金属層に低い応力を作り、金属層と障壁層の間の押し出し及び拡散問題を減少させる結果となる。さらに、改善された障壁層は拡散への高い熱安定性と高い抵抗を供給し、誘電層及び下層への金属層による拡散の可能性を最小にする。

【0018】好ましくは、金属被覆プロセスは CVD 及び PVD プロセスチャンバーの両方を含む集積プロセスシステムで行われる。一度、基板が真空環境に導入されると、バイア及び接点の金属被覆は堆積ステップの間に酸化層を形成することなく発生する。これは、基板が 1 つのプロセスシステムから別のシステムに搬送され、CVD 及び PVD 堆積層の堆積を経験する必要がないからである。さらに、障壁/CVD/PVD の手順は、酸化に耐える利点を供給し、そのため、酸化物の形成なしにステップ間の空気に晒され、基板に形成された素性の電気抵抗を増加させる。

【0019】本発明の平坦化及びバイア充填プロセスは、アルミニウム (A 1) 及び銅 (Cu) の示す能力を有利に統合し、表面張力の影響のため、それらのそれぞ

れの融点以下の温度で、流れる。それらの低い融点及び流れの特性のため、A 1 及びC u は高温度で下にある誘電層に良好な範囲又は付着の良好な状態を有していない。A 1 及びC u は、金属のウェッティング及び範囲を改善するために使用される伝統的なチタン (T i) 及び窒化チタン (T i N) の障壁/ウェッティング層を介して拡散されてもよい。そのため、本発明は、拡散に対する高い熱安定性及び抵抗を有する障壁/ウェッティング層を統合し、平坦化及びパイア充填を改善するためA 1 及びC u の流れの特性を有利に使用する。

【0020】拡散に対する高い熱安定性及び抵抗を有する良好な整合範囲の好適な障壁/ウェッティング層は、タンタル (T a) 、窒化タンタル (T a N_x) 、タングステン (W) 、窒化タングステン (W N_x) 、又はその組合せを含んでいる。アルミニウム及び銅と良好な接着特性を有し、約2985°Cの融点を有するタンタル (T a) 、及び約3400°Cの融点を有するタングステン (W) は、アルミニウム又は銅よりそれらの高い融点及び高い熱安定性のため好適な障壁/ウェッティング材料である。T a 及びW は、窒化タンタル硝酸塩 (T a N_x) 及び窒化タングステン (W N_x) としてさらに堆積されてもよく、硝酸塩層はT a 及びW 上に改善された拡散及びウェッティング特性を有してもよい。

【0021】障壁/ウェッティング層は、化学気相成長法 (CVD) 、物理気相成長法 (PVD) 、又はイオン化金属プラズマ (IMP) PVDとして公知の高/中密度プラズマ PVDのいずれかにより堆積されることができる。障壁/ウェッティング材料は、約2000オングストローム以下、好ましくは、約5オングストロームと約1000オングストロームの間、最も好ましくは、約100オングストロームと約400オングストロームの間の厚さに堆積される。障壁/ウェッティング層の堆積は、好ましくは、イオン化金属プラズマ (IMP) 堆積技術により行われ、高アスペクト比の素性の表面に薄い整合膜を堆積し、パターン化された誘電層上に実質的に連続する膜を形成することができる。W 及びW N_x層は IMP PVDにより堆積され、高アスペクト比の素性に整合膜を供給することもできる。本発明の障壁層の使用は、T i / T i N 障壁層の計画に要求される別個のウェッティング層を堆積する必要性を排除し、1ステップの堆積プロセスとなり、それにより、基板のスループットを増加させる。

【0022】図3は、IMPチャンバー40の概略断面図である。IMP Vectra(登録商標)として公知のIMPプロセスチャンバーはカリフォルニア州、サンタクララ市の Applied Materials社から入手可能である。IMPチャンバーは、AppliedMaterials社から入手可能なEndura(登録商標)プラットフォームに集積可能である。IMPプロセスは、スペッタされた材料がそこを通過する時に、スペッタされたターゲット材料をイオン化

させる標準PVDより高圧力プラズマ、高密度プラズマ (HDP) を供給する。HDP-PVDのイオン化は、バイアスされた基板表面に実質的に垂直な方向にスペッタされた材料を引き寄せ、高アスペクト比の素性でさえ層を整合して堆積する。チャンバー40は側壁101、蓋102、及び底103を含んでいる。蓋102はターゲット受板104を備え、材料のターゲット105を堆積させるのを支持する。ターゲット105は、好ましくは、堆積される伝導材料製であり、好ましくは、タンタル及びタンタルのためのタングステン、窒化タンタル、タングステン及び窒化タングステン堆積物である。

【0023】チャンバー40の開口部108は、チャンバー40間での基板の搬送及び回収をするロボット(図示せず)のためのアクセスを供給し、基板10はチャンバー40で受け取られ、基板支持112に配置される。基板支持112は、チャンバー内でスペッタされた材料の層を堆積するため基板を支持し、通常は接地されている。基板支持112は基板支持112を昇降させるリフトモータ114に取付けられ、そこに基板が置かれる。リフトモータ118に接続されたリフト板116はチャンバー40に取付けられ、基板支持112に取付けられたピン120a, 120bを昇降させる。ピン120a, 120bは基板支持112の表面との間で基板を昇降させる。

【0024】コイル122は基板支持112とターゲット105の間に取付けられ、チャンバー40に誘導結合磁場を供給し、ターゲット105と基板10の間でのプラズマの発生及び維持を補助する。コイル122はターゲットと基板10の間のその位置のためスペッタされ、好ましくは、ターゲット105と同様の成分でできている。例えば、コイル122は銅及び燐製とができる。コイル122のドーピング率は所望の層の構成によるターゲットのドーピング率と比べて変更可能であり、相対的なドーピング率を変更することにより経験的に決定される。コイル122に供給される電力はスペッタされた材料をイオン化するプラズマの密度を高める。その後、イオン化された材料は基板10の方に導かれ、それに堆積する。

【0025】シールド124がチャンバー40内に配置され、チャンバー側壁101をスペッタされた材料からシールドする。シールド124はまた、コイル支持126によりコイル122を支持する。コイル支持126は電気的にコイル122をシールド124及びチャンバー40から絶縁し、コイルと同様の材料製とができる。クランプリング128はコイル122と基板支持112の間に取付けられ、基板10がプロセス位置に上昇され、クランプリング128の下部部分に掛止する時、基板の外側端部及び後部をスペッタされた材料からシールドする。幾つかのチャンバー構成において、シールド124は、基板10がシールド124下方に降下さ

れ、基板を搬送させる時に、クランプリング128を支持する。

【0026】このタイプのスペッタリングチャンバーでは、3つの電源が使用される。電源130は、RF電力を使用することもできるが、好ましくは、ターゲット105にDC電力を送り、プロセスガスにプラズマを形成させる。ターゲットの受板104の後ろに配置された磁石106a, 106bはターゲット105に近接の電子密度を増加させ、従って、ターゲットでのイオン化を増加させ、スペッタリング効率を増加させる。磁石106a, 106bは、通常、ターゲットの面に平行な磁界ラインを発生させ、電子はスピニング軌道でトランプし、スペッタリングのためのガス原子との衝突の可能性、及びイオン化を増加させる。電源132、好ましくは、RF電源はコイル122に電力を供給し、プラズマ密度を増加させる。別の電源134は、通常はDC電源であるが、プラズマに対して基板支持112をバイアスし、基板10の方にイオン化されスペッタされた材料の方向性誘引を供給する。

【0027】アルゴン又はヘリウムの不活性ガス又は窒素のような反応性ガスのようなプロセスガスは、マスフローコントローラ142, 144により計量される時に、それぞれのガス源138, 140からガス入口136を通ってチャンバー40に供給される。真空ポンプ146は排気口148でチャンバー40に接続され、チャンバー40を排気し、チャンバー40内を所望圧力に維持する。

【0028】通常、コントローラ141は、電源、リフトモータ、ガス投入のためのマスフローコントローラ、真空ポンプの機能、及び他の関連チャンバー構成部品及び機能を制御する。コントローラ141はターゲット105に結合された電源130を制御し、プロセスガスにプラズマを形成させ、ターゲット材料をスペッタさせる。コントローラ141はまた、コイル122に結合された電源132を制御し、プラズマ密度を増加させ、スペッタされた材料をイオン化させる。コントローラ141はまた、電源134を制御し、基板表面にイオン化されスペッタされた材料の方向性誘引を供給する。コントローラ141は、メモリに記憶されたシステムコントロールソフトウェアを実行し、そのメモリは、好適な実施例では、ハードディスクであり、アナログ及びデジタル入力/出力ボード、インターフェースボード、及びステッピングモータコントローラボード(図示せず)を含むことができる。光学及び又は磁気センサ(図示せず)は、一般に、移動可能な機械組立部品の位置を移動すると共に決定するために使用される。

【0029】タンタル、窒化タンタル、タングステン、及び窒化タングステンのIMP堆積のための例示のプロセス方式は、カリフォルニア州、サンタクララ市のAppliedMaterials社から入手可能なIMP Vectra(登録商

標)チャンバーとして公知なイオン金属プラズマ(IMP)チャンバーの200mmウェーハのため、以下の通りである。ヘリウム又はアルゴンのような不活性ガスは、約0.5ミリトルから約100ミリトル、好ましくは、約20ミリトルから約50ミリトルのチャンバー圧力を作るために十分な割合でチャンバーに導入される。ターゲット及びコイルへの電力が約1kWと約3kWの間、最も好ましくは、基板電力が約300Wの時、200mm基板のため、支持部材に供給される電力レベルは、好ましくは、約0Wと500Wの間である。基板支持の電力密度は、好ましくは、約0.5W/cm²から約1.6W/cm²であり、最も好ましくは、1.06W/cm²である。300mm基板のため、支持部材に供給される電力レベルは、約500Wと1000Wの間であり、最も好ましくは、約750Wであり、電力密度は、約0.7W/cm²と約1.4W/cm²の間であり、最も好ましくは、約1.0W/cm²である。IMP-PVDチャンバー内のターゲットは、約200ワット(W)から約24キロワット(kW)及び約20Vと約2400Vの間でDCバイアスされ、好ましくは、DCバイアスは、約1kWと約3kWの間で、約100Vと約300Vの間である。好ましくは、コイルは200Wから約24kWの間、好ましくは、約1kWと約3kWの間でRFバイアスされる。

【0030】基板は、約10°Cから約400°Cの間、好ましくは、約300°C以下の温度に維持される。窒化タンタル又は窒化タングステンのような硝酸塩障壁膜の堆積のため、通常、プロセスガスはアルゴン等の不活性ガスと窒素等の硝酸塩ガスを含み、アルゴンはタンタル又はタングステンのターゲットに衝撃を与えるプラズマイオンのための主要ガス源として有用であり、窒素は主にターゲットからスペッタされた原子(タングステン)と反応し、基板に堆積されるタンタル又は窒化タングステンを形成する。

【0031】CVDのA1及びCu、又は別の伝導金属の層は、その後、障壁層に堆積され、バイアの頂部をブリッジすることなく、バイア構造に整合のウェッティング層を形成する。CVDのA1及びCuは障壁/ウェッティング層上に整合ウェッティング層を供給し、次に堆積されるPVDのA1及びCu層を受け入れる。さらに、電気めつき及び又は非電着性金属析出を伴う堆積のような電子化学堆積プロセスがウェッティング層上の伝導層を堆積するために使用されてもよい。

【0032】CVDのA1又はCuが各種条件の下、堆積されてもよいが、通常のプロセスは、約180°Cと約265°Cの間の基板温度及び約20Å/secから約130Å/secの間の堆積率を含んでいる。好ましくは、化学気相成長の整合金属層は、約200Åと約1ミクロンの間の厚さを有しているが、好ましくは、特に、ミクロン以下の高アスペクト比で、素性の頂部をシールする厚

き以下の厚さを有している。CVDのA1又はCu堆積は、約1トルと約80トルの間のチャンバー圧力で行われ、好適なチャンバー圧力は約2.5トルである。

【0033】CVDのA1は伝統的なCVDプロセスにより堆積されてもよいが、CVDのA1のための好適な堆積反応は、水素ガス(H₂)でのジメチルアルミニウム水酸化物(DMAH)の反応を含んでいる。CVDのCu層は、公知のCVDのCuプロセス又は先駆物質ガスにより堆積されてもよく、Cu⁺²(hfac)₂とCu⁺²(fod)₂(fodは、7フッ化ジメチルオクタヌディーンの略語である)を含むが、好適なプロセスは、揮発液混合Cu⁺²hfac、搬送ガスとしてアルゴンを有するHMVS(hfacは、6フッ化アセチルアセトンアニオンの略語であり、TMVSは、メチルビニルシランの略語である)を使用する。この混合物は周囲の状況の下では液体であるので、それは半導体製造で現在使用される標準のCVDバブラー先駆物質搬送システムで利用可能である。TMVS及びCu⁺²(hfac)₂は両方、チャンバーから排出される堆積反応物の揮発性副産物である。揮発液混合物、Cu⁺¹hfac、TMVSは、熱又はプラズマ補助プロセスのいずれかによりCuを堆積するために使用可能であるが、熱補助プロセスが好ましい。プラズマエンハンストプロセスのための基板温度は、好ましくは、約100と約400°Cの間であり、熱プロセスのための基板温度は、約50と約300°Cの間であり、最も好ましくは、約170°Cである。好ましくは、化学気相成長の整合金属層は、約200Åと約1ミクロンの間の厚さを有している。最も好ましくは、化学気相成長の整合金属層は、特に、ミクロン以下の素性において、接点又はバイアの頂部をシールする厚さを超えない厚さを有している。

【0034】図4は、本発明のCVD堆積プロセスを行うために適しているCVD堆積チャンバー38の概略部分断面図である。CVD堆積チャンバー38は、取り囲む側壁62及び天井64を有している。チャンバー38は、プロセスガス分配器66を備え、チャンバーに搬送プロセスガスを分配する。マスフローコントローラ及びエア作動バルブが堆積チャンバー38へのプロセスガスの流れを制御するために使用される。ガス分配器66は、通常、基板10上、又は基板10の周囲に取付けられている。支持部材68は堆積チャンバー38で基板を支持するために供給される。基板はチャンバー38の側壁62の基板装填口を通してチャンバー38に導入される。支持68は支持リフトベローズ70により昇降可能であり、基板とガス分配器66の間の隙間は調整可能になっている。支持68の孔を通して挿入されるリフトフィンガーを備えたリフトフィンガ一体72は、支持上の基板を昇降するために使用され、チャンバー38間での基板の搬送を容易にすることができる。その後、熱のヒータ74はチャンバーに供給され、基板を急速に加熱す

る。基板の急速加熱及び冷却が好ましく、プロセススループットを増加させると共に同一チャンバー内の異なる温度で作動する連続プロセスの間の急速サイクルを可能にする。基板の温度は、一般に、支持68の温度から予測される。

【0035】基板は水平で穴を有する仕切り板78上のプロセス領域76で処理される。仕切り板78は排気システム82と流体で通じる排気孔80を有し、チャンバー38から消費したプロセスガスを排気する。通常の排気システム82は、約10ミリトルの最小真空度を達成可能なロータリーベーン真空ポンプ(図示せず)と、任意であるが、副産物ガスを洗浄するためのスクラバーシステムを備えている。チャンバー38内の圧力は、基板の側部で検知され、排気システム82のスロットバルブを調整することにより制御される。

【0036】プラズマ発生器84が供給され、プラズマエンハンスト化学気相成長プロセスのためチャンバー38のプロセス領域でプラズマを発生する。プラズマ発生器84は、(i)堆積チャンバー(図示せず)を取囲む誘導子コイルにRF電流をかけることにより誘導的に、(ii)チャンバー内のプロセス電極にRF電流をかけることにより容量的に、又は、(iii)チャンバー壁又は他の電極が接地されている間に誘導的及び容量的の両方で、プラズマを発生させることができる。DC又はRFは誘導子コイル(図示せず)に加えられることができ、堆積チャンバーにエネルギーを誘導的に結合し、プロセス領域76でプラズマを発生させる。RF電流が使用される時、RF電流の周波数は、通常、約400KHZから約16MHZであり、もっと典型的には、約13, 56MHZである。選択的に、ガス封じ込め又はプラズマ焦点リング(図示せず)は、通常、酸化アルミニウム又は石英製であり、基板の回りのプロセスガス又はプラズマの流れを包含するために使用可能である。

【0037】基板へのCVDのA1又はCuウェッティング層の堆積に続いて、その後、基板はPVDチャンバーに搬送され、PVDのA1又はCu層はCVD及びPVD金属層の融点以下の温度で堆積される。PVDのA1層は約660°C以下の基板温度で堆積され、PVDのCu層は約550°C以下の基板温度で堆積される。アルミニウムのための約400°C及び銅のための約200°CでPVD堆積プロセスしている間、金属層は流れ始め、障壁/ウェッティング層は固体金属層として適所にしっかりと残っている。本発明のタンタル及び他の障壁/ウェッティング層の構成物は良好なウェッティング特性を有するので、CVD金属は約400°Cで乾燥するのを防止される。そのため、タンタル等の障壁/ウェッティング層の適用は、アルミニウム及び銅の融点よりずっと低い温度で、金属層の平坦化を成し遂げられ、アルミニウム又は銅が障壁層を通って拡散する可能性を減少させる。

【0038】基板開口の金属被覆のための本発明の1つの方法は、基板表面を前洗浄し、IMP PVDプロセス、すなわち、スパッタされる原子がイオン化される高密度プラズマ又はコリメートPVDプロセスを使用してタンタル又は窒化タンタル等の障壁層を堆積し、CVDプロセスを使用して障壁層上に伝導金属を堆積し、約660°C以下の温度でスパッタリングチャンバー内でPVD金属を堆積し、PVD金属層及びCVD金属層が実質的に開口を充填するようする連続ステップを含んでいる。選択的に、製造された金属被覆スタックは、PVDのTiN非反射コーティング（「ARC」）の堆積のようなさらなる処置を受けてもよく、金属被覆スタックの表面の反射率を減少させ、金属被覆スタックのフォトリソグラフィック性能を改善させる。選択的に、スタックは化学機械研磨（CMP）によりさらに処理されてもよい。

【0039】本発明のプロセスは、好ましくは、マルチチャンバー処理装置又はPVD及びCVDチャンバーの両方を有するクラスタツールで実行可能であるが、プロセスはまた、それに接続されたPVD又はCVDチャンバーのいずれかを有する別のシステムで行われてもよい。本発明のCVD及びPVDプロセスを実行するため適しているマルチチャンバー処理装置35の概略が図5に示されている。その装置は、カリフォルニア州のサンタクララ市のApplied Materials社から商業的に入手可能なENDURA（登録商標）システムである。同様の段階真密度の基板処理システムは、1993年2月16日に発行され、ここにインコーポレイテッドされている、Tepman等による段階真密度基板処理システム及び方法という表題の米国特許No.5,186,718に開示されている。ここに示されている装置35の特定の実施例は半導体基板等の平坦な基板を処理するために適しており、本発明を示すために供給され、本発明の範囲を限定するために使用されるべきではない。

【0040】装置35は一群の相互接続されたプロセスチャンバーを含み、スパッタリング等のPVDプロセスを実行するための少なくとも1つの囲まれたPVD堆積チャンバー36を含んでいる。PVDチャンバー36は基板に面するスパッタリング材料のスパッタリングターゲットを備えている。ターゲットは電気的にチャンバーから絶縁され、スパッタリングプラズマを発生させるプロセス電極として有用である。スパッタリングプロセスの間、アルゴン又はキセノン等のスパッタリングガスはチャンバー36に導入される。DCバイアスはスパッタリングターゲットに加えられ、チャンバー内に配置された基板支持部材は電気的に接地される。チャンバー36内に結果として生じる電界はスパッタリングガスをイオン化し、ターゲットをスパッタするスパッタリングプラズマを形成し、基板に材料を堆積させる。スパッタリングプロセスにおいて、通常、約100から約20000

ワット、もっと典型的には、約100から約10000ワットの電力レベルのDC又はRC電圧をスパッタリングターゲットに加えることにより、プラズマが発生する。

【0041】本発明のため、好ましくは、装置35は、整合PVDのA1又はCu層を堆積するためのPVDチャンバー36と、CVDのA1又はCu層を堆積するためのCVDチャンバー38とを含んでいる。装置35は、IMP PVDチャンバー40又はタンタル/窒化タンタル（Ta/TaN）等の本発明の障壁層を堆積するための別の障壁/ウェッティング層チャンバーと、金属被覆スタックの反射率を減少させるTiN非反射コーティング（ARC）層を堆積し、それにより、金属被覆スタックのフォトリソグラフィック性能を向上させるためのPVD TiN ARCチャンバー41と、汚染物質を除去するための2つの前洗浄チャンバー42（Applied Materials社から入手可能な前洗浄IIチャンバー等）、2つの脱気チャンバー44と、2つのロードロッカチャンバー46とをさらに備えていてもよい。装置35は、搬送ロボット49, 51を含む2つの搬送チャンバー48, 50と、搬送チャンバー48, 50を分離する2つの冷却チャンバー52とを有している。装置35は、コンピュータプログラム製品41でマイクロプロセッサコントローラ54をプログラムすることにより自動化されている。しかし、プロセスはまた、個々のチャンバー、又は上記したものの組合せにより動作されることもできるであろう。

【0042】コントロールシステム

図6を参照すると、本発明のプロセスは、伝統的なコンピュータシステムで稼動するコンピュータプログラム製品141を使用して実行可能であり、そのコンピュータシステムは、例えば、カリフォルニア州のSynenergy Microsystems社から商業的に入手可能な68400マイクロプロセッサのような周辺制御部品でメモリシステムに相互接続された中央処理装置を備えている。コンピュータのプログラムコードは、例えば、68000アセンブリ言語、C、C++、又はパスカルのような伝統的なコンピュータ読み取り可能なプログラム言語で書き込み可能である。適切なプログラムコードは、伝統的なテキストエディタを使用して、單一ファイル、又はマルチファイルに入力され、コンピュータのメモリシステムのようなコンピュータ使用可能媒体に蓄積又は組み入れられる。入力コードテキストが高水準言語の場合には、コードはコンパイルされ、その後、結果として生じるコンパイラコードは予めコンパイルされたウィンドウのライブラリーチンのオブジェクトコードとリンクされている。リンクされたコンパイルされたオブジェクトコードを実行するため、システムのユーザはオブジェクトコードを呼び出し、コンピュータシステムにメモリのコードをロードさせ、そこからCPUはコードを読むと共に実行し、プログラム

に明らかにされたタスクを実行する。

【0043】図6は、コンピュータプログラム141の階層制御構造の例示ブロック図を示している。ユーザはプロセスセット及びプロセスチャンバー番号をプロセスセレクタサブルーチン142に入力する。プロセスセットは特定のプロセスチャンバーで特定のプロセスを実行するために必要な所定セットのプロセスパラメータであり、所定のセット番号により明らかにされる。プロセスパラメータは、例えば、プロセスガス成分及び流量割合、温度、圧力、冷却ガス圧力等のプラズマの状態、及びチャンバー壁温度のようなプロセス条件に関する。

【0044】プロセスシーケンササブルーチン143はプログラムコードを備え、識別されたプロセスチャンバー及びプロセスパラメータのセットをプロセスセレクタサブルーチン142から受け入れると共に各種プロセスチャンバーの動作を制御する。多数のユーザはプロセスセットチャンバー及びプロセスチャンバーナ数を入力でき、又は、ユーザは多数のプロセスセットチャンバー及びプロセスチャンバーナ数を入力でき、シーケンササブルーチン143が所望の手順で選択プロセスをスケジュールするように動作する。好ましくは、シーケンササブルーチン143はプログラムコードを含み、(i)プロセスチャンバーの動作を監視し、チャンバーが使用されているかどうかを決定し、(ii)使用されているチャンバーで何のプロセスが行われているかを決定し、(iii)プロセスチャンバーの有用性及び行われているプロセスのタイプに基づいて所望のプロセスを実行するステップを実行する。プロセスチャンバーを監視する伝統的な方法は、ポーリングのように使用可能である。どのプロセスが行われるべきかをスケジューリングする時、シーケンササブルーチン143は、選択されたプロセスのための所望のプロセス状態、又は要求を入力するそれぞれの特定のユーザの年齢、又はシステムプログラマが望み、スケジューリングの優先を決定するために含む他の適当な要素、と比較して使用されるプロセスチャンバーの現在の状態を考慮に入れるように設計可能である。

【0045】一度、どのプロセスチャンバー及びプロセスセットの組合せが次に行われるのかをシーケンササブルーチン143が決定すると、シーケンササブルーチン143は、シーケンササブルーチン143により決定されたプロセスセットに従って、異なるプロセスチャンバーで多数のプロセスタスクを制御するチャンバーマネージャサブルーチン144A～Cに特定のプロセスセットを渡すことにより、プロセスセットの実行を発生させる。例えば、チャンバーマネージャサブルーチン144Aは、説明したプロセスチャンバー38内でCVDプロセス動作を制御するためのプログラムコードを備えている。チャンバーマネージャサブルーチン144はまた、各種チャンバー構成部品サブルーチン又はプログラムコードモジュールの実行を制御し、選択されたプロセスセ

ットを実行するのに必要なチャンバー構成部品の動作を制御する。チャンバー構成部品サブルーチンの例は、基板配置サブルーチン145、プロセスガス制御サブルーチン146、圧力制御サブルーチン147、ヒータ制御サブルーチン148、及びプラズマ制御サブルーチン149である。

【0046】動作において、チャンバーマネージャサブルーチン144Aは、実行される特定のプロセスセットに従って、プロセス構成部品サブルーチンを選択的にスケジュールしたり、呼び出したりする。チャンバーマネージャサブルーチン144Aは、どのプロセスチャンバー40及びプロセスセットが次に実行されるべきかをシーケンササブルーチン143がスケジュールする方法と同様にプロセス構成部品サブルーチンをスケジュールする。典型的には、チャンバーマネージャサブルーチン144Aは、各種チャンバー構成部品を監視し、実行されるプロセスセットのためのプロセスパラメータに基づいてどの構成部品が作動される必要があるかを決定し、監視及び決定ステップに応じてチャンバー構成部品サブルーチンを実行させる。

【0047】仮定的例

以下の仮定的例は基板の接点レベルで素性を形成する方法を説明している。窒化タンタル層は素性のアルミニウム充填のための障壁層として使用される。

【0048】基板の半ミクロンの素性は、以下のように本発明により充填される。半ミクロンの素性を有する基板表面は、酸化物又は他の汚染物質を含む約100Åから400Åの材料を除去するために前洗浄された。その後、基板はタンタルターゲットを有するIMP-PVDのTaNに配置され、アルゴン及び窒素を含むプラズマが突き当てられ、約400Åの整合窒化タンタル層が基板上に堆積される。その後、基板はCVDチャンバーに搬送され、約1500Åの整合アルミニウム層が障壁層に堆積される。その後、基板はアルミニウムターゲットを有するPVDのA1チャンバーに搬送され、350°C以下で約4000Åのバルクアルミニウムを堆積させる。アルミニウム層(整合及びバルク)は、その後、アニールチャンバーで加熱される。アニール中の基板温度は約450°C以下に維持されていた。

【0049】前述したものは本発明の実施例に向けられるが、本発明の他のさらなる実施例はその基本範囲から逸脱することなく発明されてもよい。本発明の範囲は上記特許請求の範囲により決定される。

【0050】上述した本発明の素性、利点及び目的が達成されると共に詳細に理解できるように、上記簡単に要約した発明のより詳細な説明は添付図面に示されたその実施例に関連させてなされてもよい。

【0051】しかし、添付図面は本発明の典型的な実施例だけを示しており、そのため、その範囲を制限するものと考えるべきではなく、本発明は他の同等の有効な実

施例にも適用可能である。

【図面の簡単な説明】

【図1】障壁／ウェッティング層及びCVDのA1層を有する本発明による半導体基板の接点の概略図である。

【図2】障壁／ウェッティング層及び混合したCVD／PVDのA1層を有する本発明による半導体基板の接点の概略図である。

【図3】本発明のPVDプロセスを行うために適したI

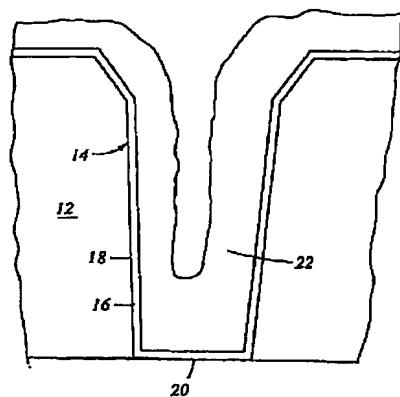
MP-PVDチャンバーの概略断面図である。

【図4】本発明のCVD堆積を行うために適したCVDチャンバーの概略部分断面図である。

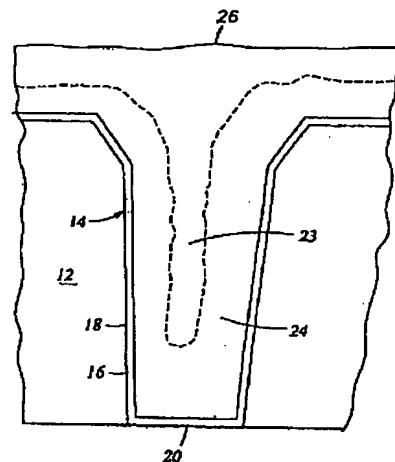
【図5】本発明による連続した金属被覆のために構成された統合CVD／PVDシステムである。

【図6】本発明を制御するのに適したコンピュータプログラムの階層制御構造を示す簡略ブロック図である。

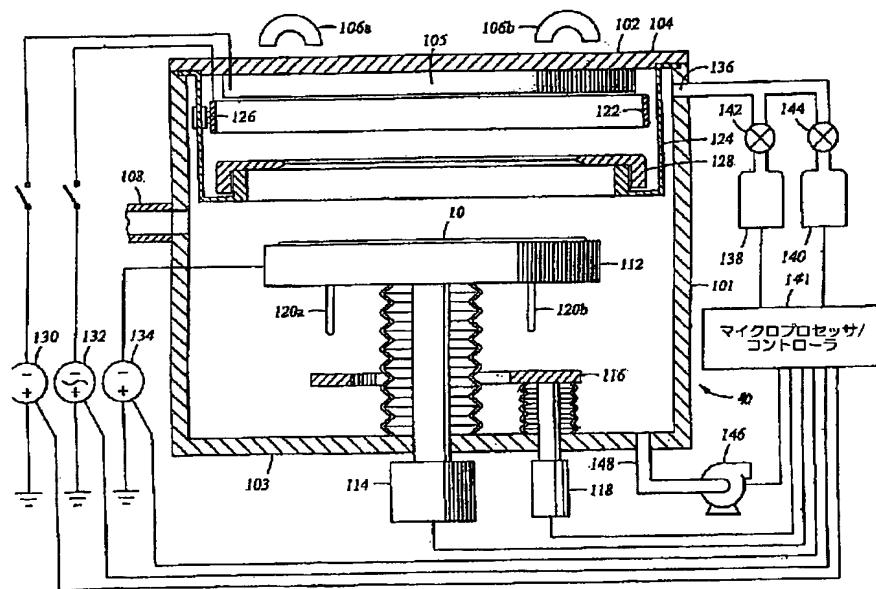
【図1】



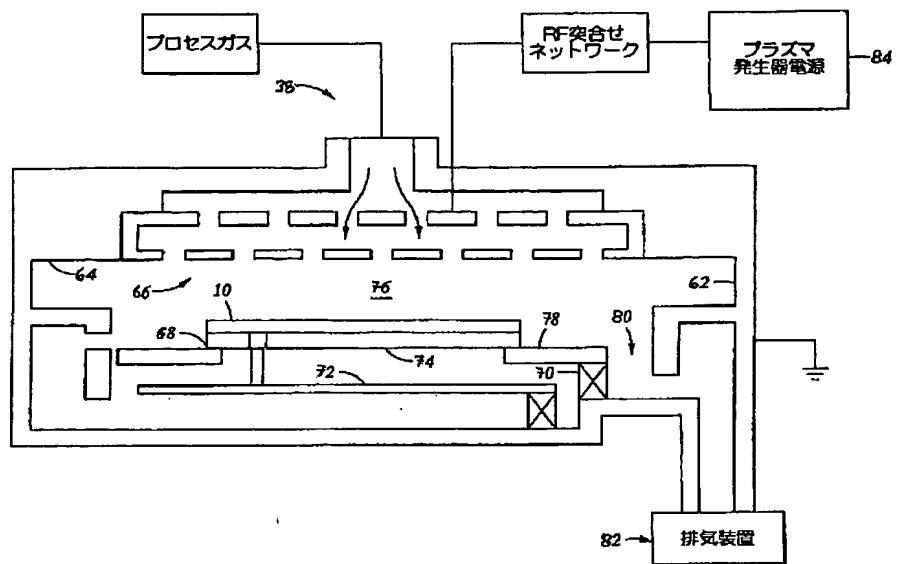
【図2】



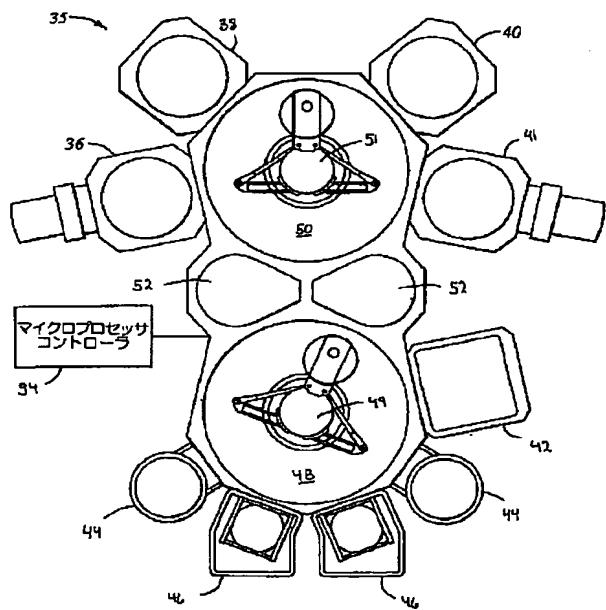
【図3】



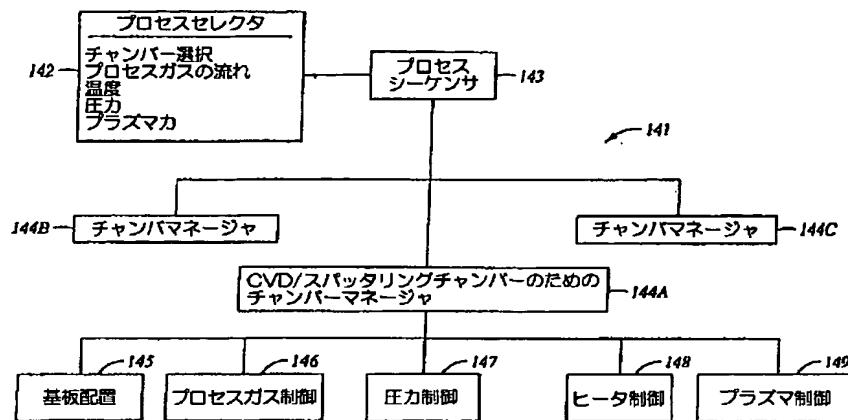
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 スラジ レンガラジャン
アメリカ合衆国 カリフォルニア州
95129 サン ホセ ミラマー アベニュー
— 4819

(72)発明者 ペイユン ディング
アメリカ合衆国 カリフォルニア州
95129 サン ホセ ウエスト リヴァー
サイド ウェイ 1020
(72)発明者 ゴングダ ヤオ
アメリカ合衆国 カリフォルニア州
94539 フリーモント ウィンディング
レーン 44875

【外国語明細書】

BARRIER APPLICATIONS FOR ALUMINUM PLANARIZATION

BACKGROUND OF THE INVENTION

Field of the Invention

The present invention relates to a metallization process for manufacturing semiconductor devices. More particularly, the invention relates to a method for depositing a contact barrier layer.

Background of the Related Art

Sub-half micron multilevel metallization represents one of the key technologies for the next generation of very large scale integration (VLSI) for integrated circuits (IC). Reliable formation of multilevel interconnect features, including contacts, vias, lines, and trenches is important to the success of VLSI and to the continued effort to increase circuit density on individual substrates and dies. As circuit densities increase, the widths of features decrease to 0.50 μm or less, whereas the thickness of the dielectric layers remains substantially constant, resulting in increased aspect ratios of the features, *i.e.*, the height divided by width. Many traditional deposition processes such as chemical vapor deposition (CVD) and physical vapor deposition (PVD), are being challenged in applications where the aspect ratio of features formed on a substrate exceeds 2:1, and particularly where the aspect ratio approaches 4:1.

One difficulty in depositing a uniform metal-containing layer into high aspect ratio features arises when the metal-containing layer deposits on the sidewalls of the features and across the width of the feature to eventually converge across the width of the feature before the feature is completely filled. When the partially filled feature is covered, voids and discontinuities will form within the material deposited in the feature. These voids and discontinuities may result in unreliable electrical contacts, interconnects, and other circuit features.

One method used to reduce the likelihood that voids will form in features is to planarize the metal by annealing at high temperatures (*e.g.*, $>350^\circ\text{C}$). Formation of a continuous wetting layer on the substrate is a key for successful planarization at high temperatures. However, planarization at high temperatures can result in diffusion of metals through barrier/liner layers and into surrounding dielectric materials. As a result, high

temperature processes have not been used at the contact level of a substrate.

It has been discovered that a thin conformal metal film is a good wetting layer for subsequent physical vapor deposition and planarization techniques performed at low temperatures (e.g., <550°C). This process is more thoroughly disclosed in United States Patent No. 5,877,087, *Mosely et al.*, entitled "Low Temperature Integrated Metallization Process and Apparatus" which was issued on March 2, 1999, and is commonly assigned to Applied Materials, Inc.

Mosely et al. teaches first depositing a thin refractory metal layer, then depositing a CVD metal layer at a low temperature to provide a conformal wetting layer for a subsequently deposited PVD metal. The PVD metal is deposited onto the previously formed CVD metal layer at a temperature below that of the melting point temperature of the metal. The resulting CVD/PVD metal layer is substantially void-free in the feature. The refractory metal layer provides a barrier to diffusion by the CVD or PVD metal layers into the underlying layers which are often dielectric layers which are susceptible to metal diffusion. The refractory metal layer typically includes such materials as titanium (Ti), titanium nitride, or a combination of these materials. The CVD and PVD layers have conventionally been aluminum (Al) and aluminum doped with copper. However, deposition of aluminum over an underlying titanium (Ti) refractory metal layer presents the problem of titanium tri-aluminide (TiAl₃) formation. Ti has a propensity to bind Al and form TiAl₃ which is an insulator, thereby compromising the performance of a conductive feature.

One solution to prevent TiAl₃ formation is to follow deposition of a Ti layer with deposition of a titanium nitride (TiN) layer. The overlying TiN layer reduces the amount of Ti available to bind Al, thereby minimizing the formation of TiAl₃. Additionally, the TiN layer is a good intermediate "glue" layer providing good bonding with both titanium and aluminum, yet titanium nitride does not interact with the aluminum. Although a deposition sequence of Ti/TiN/Al has been shown to reduce the formation of TiAl₃, the sequence requires that the TiN layer substantially cover the Ti layer in order to prevent any interaction with Al. Unfortunately, the inclusion of an additional layer in the metallization stack further decreases the feature size. In an attempt to minimize the thickness of the metallization stack, a very thin layer of TiN layer has been deposited on the Ti layer. However, such a thin TiN layer may be less than continuous and thereby less effective at preventing the formation of TiAl₃.

One alternative solution to avoid increased barrier layer thickness by the combination of a Ti/TiN barrier layer is to use TiN as barrier layer in the absence of an underlying Ti layer. However, a TiN barrier layer is conventionally deposited by physical vapor deposition techniques which may result in less than conformal barrier layer in the small, high aspect ratio features and thus, may be ineffective at preventing diffusion between the layers of the deposited metallization stack.

One notable problem occurs in multi-layer metallization processes where titanium and/or titanium nitride are used as a barrier layer for conducting metals such as aluminum and copper. In high temperature (e.g., $>350^{\circ}\text{C}$) processes, such as the planarization techniques described in *Mosely et al.*, aluminum may diffuse through the Ti, combination Ti/TiN, or TiN barrier layers. If the metal is deposited at the contact level, conducting metals can diffuse through the barrier layers and react with the underlying silicon and surrounding oxides. The diffusion of Aluminum, and now copper, which is being used because of copper's lower resistivity, higher electromigration resistance, and higher current carrying capacity compared to aluminum, into the underlying silicon and surrounding oxides can alter the electronic device characteristics of the adjacent layers and form a conductive path between the layers, thereby reducing the reliability of the overall circuit and may form short circuits which can result in device failure.

Therefore, there remains a need for a reliable barrier layer scheme for metallization processes, particularly in processes for filling and planarizing high aspect ratio sub-half micron contacts and vias with conducting metals such as aluminum and copper.

SUMMARY OF THE INVENTION

An embodiment of the invention provides a process for forming a conductive feature on a substrate. In one aspect, a thin barrier layer is formed on a substrate followed by a thin conformal metal layer deposited by chemical vapor deposition (CVD) formed over the barrier layer. The barrier layer has a thickness less than about 2000Å, and preferably between about 5Å and 1000Å. The conformal metal layer has a thickness between about 200Å and 1 micron, preferably a thickness less than the thickness which would seal the top of the feature. A metal layer is then deposited by physical vapor deposition over the conformal metal layer at a temperature below about 660°C to substantially fill the aperture. The PVD metal layer and the CVD conformal metal layer may then be annealed at a temperature between about 250°C and about 450°C . The CVD

conformal metal layer and the PVD metal layer are typically a metal conductor, preferably aluminum (Al), copper (Cu), and combinations thereof. The barrier/wetting layer is made of a material selected from the group of tantalum (Ta), tantalum nitride (TaN_x), tungsten (W), or tungsten nitride (WN_x) and combinations thereof. The process is preferably carried out sequentially in an integrated processing system.

In another aspect of the invention, a substrate is produced from the metallization process that is carried out in an integrated processing system that includes both a PVD and CVD processing chamber. The substrate comprises a semiconductor substrate, a dielectric layer formed on the semiconductor substrate, the dielectric layer having an aperture formed therein and communicating with the semiconductor substrate, a barrier/wetting layer formed over the surfaces of the aperture, wherein the barrier/wetting layer comprises a material selected from the group of Ta, TaN_x, W, WN_x, and combinations thereof. The barrier layer preferably has a thickness less than about 2000Å, preferably between about 5Å and 1000Å. Next, a chemical vapor deposited conformal metal layer such as Al, Cu, and combinations thereof is formed over the barrier/wetting layer. Finally, a metal layer is deposited by physical vapor deposition or electroplating over the chemical vapor deposited conformal metal layer. The physical vapor deposited metal layer is deposited at a temperature below about 400°C to cause the CVD and PVD deposited metal layers to flow into the aperture and form an interconnect without forming voids therein. The PVD metal layer preferably comprises a material selected from the group of Al, Cu, and combinations thereof.

Another aspect of the invention provides for a program product, which when read and executed by a computer, comprises the steps of generating a plasma in a chamber, providing a bias to a target disposed in the chamber, providing a bias to a coil, and maintaining the chamber pressure between about 0.5mTorr and about 100mTorr during the deposition of a material onto a substrate. The program product provides a RF bias to the coil between about 200W and about 24kW, and provides a bias to the target between about 200W and about 24kW. The program product may further comprise providing a bias to the substrate of between about 0 W and 1000W. The target disposed in the chamber is preferably a material selected from the group of Ta, TaN, W, WN, and combinations thereof.

BRIEF DESCRIPTION OF THE DRAWINGS

So that the manner in which the above recited features, advantages and objects of the present invention are attained and can be understood in detail, a more particular description of the invention, briefly summarized above, may be had by reference to the embodiments thereof which are illustrated in the appended drawings.

It is to be noted, however, that the appended drawings illustrate only typical embodiments of this invention and are therefore not to be considered limiting of its scope, for the invention may admit to other equally effective embodiments.

Figure 1 is a schematic diagram of a semiconductor substrate contact according to the present invention having a barrier/wetting layer and a CVD Al layer;

Figure 2 is a schematic diagram of a semiconductor substrate contact according to the present invention having a barrier/wetting layer and an intermixed CVD/PVD Al layer;

Figure 3 is a schematic cross-sectional view of an IMP-PVD chamber suitable for performing the PVD processes of the present invention;

Figure 4 is a schematic partial sectional view of a CVD chamber suitable for performing the CVD deposition processes of the present invention;

Figure 5 is an integrated CVD/PVD system configured for sequential metallization in accordance with the present invention;

Figure 6 is a simplified block diagram showing the hierarchical control structure of a computer program suitable for controlling a process of the present invention

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

The present invention generally provides an effective barrier layer for improved via fill in high aspect ratio, sub-micron apertures which can be deposited at low process temperatures. The invention also provides methods for metallizing high aspect ratio apertures, including contacts, vias, lines or other features, at temperatures below about 660°C. In particular, the invention provides improved step coverage for filling high aspect ratio apertures in applications with a first layer of conducting metal, preferably CVD aluminum (CVD Al) or CVD copper (CVD Cu), and a second layer of a conducting metal, preferably PVD aluminum (PVD Al) or PVD copper (PVD Cu). The thin CVD layer is prevented from dewetting from a dielectric layer or diffusing into the dielectric layer by deposition of a thin barrier/wetting layer comprised of a conducting metal having a melting point greater than that of the CVD and/or PVD metal layer and providing greater

wetting with the CVD metal layer than does the dielectric. A barrier layer, such as tantalum (Ta), tantalum nitride (TaN_x), tungsten (W), tungsten nitride (WN_x), or combinations thereof are preferred to prevent the diffusion of aluminum or copper into adjacent dielectric materials.

Figure 1 is a schematic view of a substrate 10 having a patterned dielectric layer 12 formed thereon and having a via 14 formed therein. A thin barrier/wetting layer 16, of a material such as tantalum or tantalum nitride, is deposited conformally onto the substrate covering substantially all surfaces of the dielectric layer 12 including the walls 18 and bottom level 20 of the via 14. The thin tantalum layer 16 generally has a thickness of less than about 2000 Å, with the preferred thickness being between about 5 Å and about 1000 Å, and most preferably being between about 100 Å and about 400 Å. A conformal CVD Al layer 22 is deposited on the barrier/wetting layer 16 to a thickness not to exceed the thickness which would bridge or seal the top of the contact or via and generally may be from about 200 Å to about 1 micron, but preferably less than about 2000 Å for half-micron features. The conformal CVD Al layer 22 acts as a seed layer, or a wetting layer for a subsequently deposited metal layer.

Figure 2 is a schematic view of a substrate 10 illustrating a PVD Al or Cu layer deposited onto the CVD Al or Cu layer 22 to form a PVD layer 23 thereon. An intermixed CVD/PVD layer 24 may result as the PVD layer is deposited onto and integrates into the CVD layer. The top surface 26 of the intermixed layer 24 will be substantially planarized. The PVD layer may contain certain dopants and upon deposition the PVD material may intermix with the CVD material so that the dopant is dispersed throughout the PVD/CVD intermixed layer 24. The dopant may be copper in an aluminum layer, and may be aluminum or tin (Sn) in a copper layer.

Since the barrier/wetting layer provides good wetting of the CVD layer, the substrate temperature during deposition of PVD does not need to exceed the melting point of aluminum (660°C), but rather may be performed at a temperature below about 660°C and is preferably performed at a temperature below about 400°C. A lower metallization process temperature develops less stress in the metal layers of the process which results in less extrusion and diffusion problems between the metal layers and barrier layers. Further, the improved barrier layer provides a greater thermal stability and higher resistance to diffusion which minimizes potential diffusion by the metal layers into the dielectric layers and underlying substrate.

Preferably, the metallization process is carried out in an integrated processing system including both CVD and PVD processing chambers. Once the substrate is introduced into a vacuum environment, the metallization of the vias and contacts occurs without the formation of an oxide layer between deposition steps. This results because the substrate need not be transferred from one processing system to another system to undergo deposition of the CVD and PVD deposited layers. Additionally, the barrier/CVD/PVD sequence provides the advantage of being resistant to oxidation and may, therefore, be exposed to air between steps without the formation of oxides which increase the electrical resistance of the features formed on the substrate.

The planarization and via fill process of the present invention advantageously incorporates aluminum (Al) and copper's (Cu) demonstrated ability to flow at temperatures below their respective melting points due to the effects of surface tension. Due to their low melting points and flow characteristics, Al and Cu do not have good coverage or adhere well to the underlying dielectric layers at high temperatures. Al and Cu may diffuse through the traditional titanium (Ti) and titanium nitride (TiN) barrier/wetting layers used to improve the wetting and coverage of the metal. Therefore, the present invention incorporates a barrier/wetting layer having a greater thermal stability and resistance to diffusion to advantageously use the flow characteristics of Al and Cu for an improved planarization and via fill.

The preferred barrier/wetting layers with good conformal coverage having high thermal stability and resistance to diffusion include tantalum (Ta), tantalum nitride (Ta_xN_y), tungsten (W), tungsten nitride (WN_x), or combinations thereof. Tantalum (Ta), having good adhesion properties with aluminum and copper, and a melting temperature of about 2985°C, and tungsten (W) with a melting temperature of about 3400°C, are preferred barrier/wetting materials due to their higher melting points and higher thermal stability than aluminum or copper. Ta and W may be further deposited as the nitrates tantalum nitride (Ta_xN_y) and tungsten nitride (WN_x), and the nitrated layers may have improved diffusion and wetting characteristics over Ta and W.

The barrier/wetting layers can be deposited by either chemical vapor deposition (CVD), physical vapor deposition (PVD), or high/medium density plasma PVD known as ionized metal plasma (IMP) PVD. The barrier/wetting materials are deposited to a thickness of less than about 2000 Å, preferably between about 5 Å and about 1000 Å, and most preferably between about 100 Å and about 400 Å. Deposition of the barrier/wetting

layers is preferably performed by ionized metal plasma (IMP) deposition techniques, which are capable of depositing thin, conformal films on the surfaces of high aspect ratio features to form a substantially continuous film over the patterned dielectric layer. W and WN_x layers can also be deposited by IMP PVD to provide conformal films in high aspect ratio features. The use of the barrier materials of the invention eliminate the need to deposit a separate wetting layer as required in Ti/TiN barrier layer schemes resulting in a one-step deposition process, thereby increasing substrate throughput.

Figure 3 is a schematic cross-sectional view of an IMP chamber 40. An IMP processing chamber, known as an IMP Vectra™ chamber, is available from Applied Materials, Inc. of Santa Clara, California. The IMP chamber can be integrated into an Endura™ platform, also available from Applied Materials, Inc. The IMP process provides a higher pressure plasma, a high density plasma (HDP), than standard PVD that causes the sputtered target material to become ionized as the sputtered material passes therethrough. The HDP-PVD ionization enables the sputtered material to be attracted in a substantially perpendicular direction to a biased substrate surface and to conformally deposit a layer even in high aspect ratio features. The chamber 40 includes sidewalls 101, lid 102, and bottom 103. The lid 102 includes a target backing plate 104 which supports a target 105 of the material to be deposited. The target 105 is preferably made of a conductive material to be deposited, preferably tantalum and tungsten for tantalum, tantalum nitride, tungsten, and tungsten nitride depositions.

An opening 108 in the chamber 40 provides access for a robot (not shown) to deliver and retrieve substrates 10 to and from the chamber 40, wherein the substrate 10 is received in the chamber 40 and positioned on a substrate support 112. The substrate support 112 supports the substrate 10 for depositing a layer of sputtered material in the chamber and is typically grounded. The substrate support 112 is mounted on a lift motor 114 that raises and lowers the substrate support 112 and a substrate 10 disposed thereon. A lift plate 116 connected to a lift motor 118 is mounted in the chamber 40 and raises and lowers pins 120a, 120b mounted in the substrate support 112. The pins 120a, 120b raise and lower the substrate 10 from and to the surface of the substrate support 112.

A coil 122 is mounted between the substrate support 112 and the target 105 and provides inductively-coupled magnetic fields in the chamber 40 to assist in generating and maintaining a plasma between the target 105 and substrate 10. The coil 122 is sputtered due to its location between the target and the substrate 10 and preferably is made of similar

constituents as the target 105. For instance, the coil 122 could be made of copper and phosphorus. The doping percentage of the coil 122 could vary compared to the target doping percentage depending on the desired layer composition and is empirically determined by varying the relative doping percentages. Power supplied to the coil 122 densifies the plasma which ionizes the sputtered material. The ionized material is then directed toward the substrate 10 and deposited thereon.

A shield 124 is disposed in the chamber 40 to shield the chamber sidewalls 101 from the sputtered material. The shield 124 also supports the coil 122 by coil supports 126. The coil supports 126 electrically insulate the coil 122 from the shield 124 and the chamber 40 and can be made of similar material as the coil. The clamp ring 128 is mounted between the coil 122 and the substrate support 112 and shields an outer edge and backside of the substrate from sputtered materials when the substrate 10 is raised into a processing position to engage the lower portion of the clamp ring 128. In some chamber configurations, the shield 124 supports the clamp ring 128 when the substrate 10 is lowered below the shield 124 to enable substrate transfer.

Three power supplies are used in this type of sputtering chamber. A power supply 130 delivers preferably DC power to the target 105 to cause the processing gas to form a plasma, although RF power can be used. Magnets 106a, 106b disposed behind the target backing plate 104 increase the density of electrons adjacent to the target 105, thus increasing ionization at the target to increase the sputtering efficiency. The magnets 106a, 106b generate magnetic field lines generally parallel to the face of the target, around which electrons are trapped in spinning orbits to increase the likelihood of a collision with, and ionization of, a gas atom for sputtering. A power supply 132, preferably a RF power supply, supplies electrical power to the coil 122 to increase the density of the plasma. Another power supply 134, typically a DC power supply, biases the substrate support 112 with respect to the plasma and provides directional attraction of the ionized sputtered material toward the substrate 10.

Processing gas, such as an inert gas of argon or helium or a reactive gas such as nitrogen, is supplied to the chamber 40 through a gas inlet 136 from gas sources 138, 140 as metered by respective mass flow controllers 142, 144. A vacuum pump 146 is connected to the chamber 40 at an exhaust port 148 to exhaust the chamber 40 and maintain the desired pressure in the chamber 40.

A controller 141 generally controls the functions of the power supplies, lift motors,

mass flow controllers for gas injection, vacuum pump, and other associated chamber components and functions. The controller 141 controls the power supply 130 coupled to the target 105 to cause the processing gas to form a plasma and sputter the target material. The controller 141 also controls the power supply 132 coupled to the coil 122 to increase the density of the plasma and ionize the sputtered material. The controller 141 also controls the power supply 134 to provide directional attraction of the ionized sputtered material to the substrate surface. The controller 141 executes system control software stored in a memory, which in the preferred embodiment is a hard disk drive, and can include analog and digital input/output boards, interface boards, and stepper motor controller boards (not shown). Optical and/or magnetic sensors (not shown) are generally used to move and determine the position of movable mechanical assemblies.

An exemplary process regime for the IMP deposition of tantalum, tantalum nitride, tungsten, and tungsten nitride is as follows for a 200 mm wafer in an ion metal plasma (IMP) chamber, known as an IMP Vectra™ chamber, available from Applied Materials, Inc. of Santa Clara, California. An inert gas, such as helium or argon, is introduced into the chamber at a rate sufficient to produce a chamber pressure of about 0.5 mTorr to about 100 mTorr, preferably about 20 mTorr to about 50 mTorr. For a 200 mm substrate, the power level supplied to the support member is preferably between about 0W and 500W when the power to the target and the coil are between about 1kW and about 3kW, and most preferably, the substrate power is about 300W. The power density of the substrate support is preferably from about 0.5 W/cm² to about 1.6W/cm², and most preferably 1.0W/cm². For a 300 mm substrate, the power level supplied to the support member is preferably between about 500W and 1000W and most preferably about 750W and the power density is between about 0.7W/cm² and 1.4W/cm² most preferably about 1.0W/cm². The target in the IMP-PVD chamber is DC-biased at about 200 watts (W) to about 24 kilowatts (kW) and between about 20V and about 2400V, preferably the DC-biased is between about 1kW and about 3kW and between about 100V and about 300V. The coil is preferably RF-biased at between 200W to about 24kW, preferably between about 1kW and about 3kW.

The substrate is maintained at a temperature between about 10°C to about 400°C, preferably below about 300°C. For deposition of a nitrated barrier film, such as tantalum nitride or tungsten nitride, the processing gas typically comprises an inert gas such as argon and a nitrating gas such as nitrogen, wherein argon serves as the primary gas source

for the plasma ions that bombard the tantalum or tungsten target and nitrogen primarily reacts with the sputtered atoms (tungsten) from the target to form a tantalum or tungsten nitride film which is deposited onto the substrate.

A layer of CVD Al, Cu, or another conducting metal is then deposited on the barrier layer to form a conformal wetting layer on the via structure without bridging the top of the via. CVD Al and Cu provide a conformal wetting layer over the barrier/wetting layer for receipt of a subsequently deposited PVD Al or Cu layer thereon. Additionally, an electrochemical deposition process, such as electroplating and/or electroless deposition, may be used to deposit the conductive layer over the wetting layer.

While the CVD Al or Cu may be deposited under various conditions, a typical process involves substrate temperatures of between about 180°C and about 265°C and a deposition rate of between about 20 Å/sec to about 130 Å/sec. Preferably, the chemical vapor deposited conformal metal layer has a thickness of between about 200 Å and about 1 micron, but preferably of a thickness less than the thickness which would seal the top of the feature, especially in sub-micron high aspect ratios. The CVD Al or Cu deposition may be performed at chamber pressures of between about 1 Torr and about 80 Torr, with the preferred chamber pressures being about 25 Torr.

CVD Al may be deposited by any conventional CVD process, however, the preferred deposition reaction for CVD Al involves the reaction of dimethyl aluminum hydride (DMAH) with hydrogen gas (H₂). A CVD Cu layer may be deposited by any known CVD Cu process or precursor gas, including copper⁺²(hfac)₂ and Cu⁺²(fod)₂ (fod being an abbreviation for heptafluoro dimethyl octanediene), but a preferred process uses the volatile liquid complex copper⁺¹hfac, TMVS (hfac being an abbreviation for the hexafluoro acetylacetone anion and TMVS being an abbreviation for trimethylvinylsilane) with argon as the carrier gas. Because this complex is a liquid under ambient conditions, it can be utilized in standard CVD bubbler precursor delivery systems currently used in semiconductor fabrication. Both TMVS and copper⁺²(hfac)₂ are volatile byproducts of the deposition reaction that are exhausted from the chamber. The volatile liquid complex, Cu⁺¹hfac, TMVS, can be used to deposit Cu through either a thermal or plasma assisted process, with the thermal assisted process being preferred. The substrate temperature for the plasma enhanced process is preferably between about 100 and about 400°C, while that for the thermal process is between about 50 and about 300°C, most preferably about 170°C. Preferably, the chemical vapor deposited conformal metal layer

has a thickness of between about 200 Å and about 1 micron. Most preferably, the chemical vapor deposited conformal metal layer has a thickness not to exceed the thickness which would seal the top of the contact or via, especially in sub-micron features.

Figure 4 is a schematic partial sectional view of the CVD deposition chamber 38 suitable for performing the CVD deposition processes of the present invention. The CVD deposition chamber 38 has surrounding sidewalls 62 and a ceiling 64. The chamber 38 comprises a process gas distributor 66 for distributing delivering process gases into the chamber. Mass flow controllers and air operated valves are used to control the flow of process gases into the deposition chamber 38. The gas distributor 66 is typically mounted above the substrate 10 or peripherally about the substrate 10. A support member 68 is provided for supporting the substrate in the deposition chamber 38. The substrate is introduced into the chamber 38 through a substrate loading inlet in the sidewall 62 of the chamber 38 and placed on the support 68. The support 68 can be lifted or lowered by support lift bellows 70 so that the gap between the substrate and gas distributor 66 can be adjusted. A lift finger assembly 72 comprising lift fingers that are inserted through holes in the support 68 can be used to lift and lower the substrate onto the support to facilitate transport of the substrate into and out of the chamber 38. A thermal heater 74 is then provided in the chamber to rapidly heat the substrate. Rapid heating and cooling of the substrate is preferred to increase processing throughput, and to allow rapid cycling between successive processes operated at different temperatures within the same chamber. The temperature of the substrate 10 is generally estimated from the temperature of the support 68.

The substrate is processed in a process zone 76 above a horizontal perforated barrier plate 78. The barrier plate 78 has exhaust holes 80 which are in fluid communication with an exhaust system 82 for exhausting spent process gases from the chamber 38. A typical exhaust system 82 comprises a rotary vane vacuum pump (not shown) capable of achieving a minimum vacuum of about 10 mTorr, and optionally a scrubber system for scrubbing byproduct gases. The pressure in the chamber 38 is sensed at the side of the substrate and is controlled by adjusting a throttle valve in the exhaust system 82.

A plasma generator 84 is provided for generating a plasma in the process zone 95 of the chamber 38 for plasma enhanced chemical vapor deposition processes. The plasma generator 84 can generate a plasma (i) inductively by applying an RF current to an

inductor coil encircling the deposition chamber (not shown), (ii) capacitively by applying an RF current to process electrodes in the chamber, or (iii) both inductively and capacitively while the chamber wall or other electrode is grounded. A DC or RF can be applied to an inductor coil (not shown) to inductively couple energy into the deposition chamber to generate a plasma in the process zone 76. When an RF current is used, the frequency of the RF current is typically from about 400 KHZ to about 16 MHZ, and more typically about 13.56 MHZ. Optionally, a gas containment or plasma focus ring (not shown), typically made of aluminum oxide or quartz, can be used to contain the flow of process gas or plasma around the substrate.

Following the deposition of a CVD Al or Cu wetting layer on the substrate, the substrate is then transferred to a PVD chamber where a PVD Al or Cu layer is deposited at a temperature below the melting point temperature of the CVD and PVD metal layers. The PVD Al layer is deposited at a substrate temperature below about 660°C ; and the PVD Cu layer is deposited at a substrate temperature below about 550°C . Preferably, both PVD Al and Cu layers are deposited at a substrate temperature below about 400°C. The metal layers start to flow during the PVD deposition process at about 400°C for aluminum and about 200°C for copper, with the barrier/wetting layer remaining firmly in place as a solid metal layer. Because tantalum and the other barrier/wetting compositions of the invention have good wetting properties, the CVD metal is prevented from dewetting at about 400°C. Therefore, the application of a barrier/wetting layer such as tantalum, enables planarization of the metal layer to be achieved at temperatures far below the melting point of the aluminum and copper which reduces the likelihood that aluminum or copper will diffuse through the barrier layer.

One method of the present invention for metallization of a substrate aperture includes the sequential steps of pre-cleaning the substrate surface, depositing a barrier layer such as tantalum or tantalum nitride using an IMP PVD process, *i.e.* high density plasma where the sputtered atoms are ionized, or a collimated PVD process, depositing a conducting metal over the barrier layer using a CVD process, depositing PVD metal in a sputtering chamber at a temperature below about 660°C so that the PVD metal layer and CVD metal layers substantially fill the aperture. Optionally, the metallization stack produced may undergo further treatment such as the deposition of a PVD TiN anti-reflection coating ("ARC") for reducing the reflectivity of the surface of the metallization stack and improve the photolithographic performance of the metallization stack.

Additionally, the stack may be further processed by chemical mechanical polishing (CMP).

While the processes of the present invention are preferably carried out in a multi-chamber processing apparatus or cluster tool having both PVD and CVD chambers, the processes may be also be carried out in separate systems having either a PVD or a CVD chamber connected thereto. A schematic of a multi-chamber processing apparatus 35 suitable for performing the CVD and PVD processes of the present invention is illustrated in Figure 5. The apparatus is an ENDURA® System commercially available from Applied Materials, Inc., Santa Clara, California. A similar staged-vacuum substrate processing system is disclosed in United States Patent No. 5,186,718, entitled Staged-Vacuum Substrate Processing System and Method, *Tepman et al.*, which issued on February 16, 1993, and is incorporated herein by reference. The particular embodiment of the apparatus 35 shown herein is suitable for processing planar substrates, such as semiconductor substrates, and is provided to illustrate the invention, and should not be used to limit the scope of the invention.

The apparatus 35 includes a cluster of interconnected process chambers including at least one enclosed PVD deposition chamber 36 for performing PVD processes, such as sputtering. The PVD chamber 36 comprises a sputtering target of sputtering material facing the substrate. The target is electrically isolated from the chamber and serves as a process electrode for generating a sputtering plasma. During the sputtering process, a sputtering gas, such as argon or xenon, is introduced into the chamber 36. An DC bias is applied to the sputtering target, and the substrate support member disposed in the chamber is electrically grounded. The resultant electric field in the chamber 36 ionizes sputtering gas to form a sputtering plasma that sputters the target causing deposition of material on the substrate. In sputtering processes, the plasma is typically generated by applying a DC or RF voltage at a power level of from about 100 to about 20,000 Watts, and more typically from about 100 to about 10,000 Watts, to the sputtering target.

For the present invention, the apparatus 35 preferably includes a PVD chamber 36 for depositing conformal PVD Al or Cu layers and a CVD chamber 38 for depositing CVD Al or Cu layers. The apparatus 35 may further comprise an IMP PVD chamber 40 or another barrier/wetting layer chamber for depositing a barrier layer of the invention such as tantalum/tantalum nitride (Ta/TaN), a PVD TiN ARC chamber 41 for depositing a TiN anti-reflective coating (ARC) layer which reduces the reflectivity of the metallization

stack thereby improving the photolithographic performance of the metallization stack, two pre-clean chambers 42 (such as PreClean II chambers available from Applied Materials) for removing contaminants, two degas chambers 44, and two load lock chambers 46. The apparatus 35 has two transfer chambers 48, 50 containing transfer robots 49, 51, and two cooldown chambers 52 separating the transfer chambers 48, 50. The apparatus 35 is automated by programming a microprocessor controller 54 with a computer program product 141. However, the process could also be operated by individual chambers, or a combination of the above.

Control Systems

Referring to Figure 6, the processes of the present invention can be implemented using a computer program product 141 that runs on a conventional computer system comprising a central processor unit (CPU) interconnected to a memory system with peripheral control components, such as for example a 68400 microprocessor, commercially available from Synenergy Microsystems, California. The computer program code can be written in any conventional computer readable programming language such as for example 68000 assembly language, C, C++, or Pascal. Suitable program code is entered into a single file, or multiple files, using a conventional text editor, and stored or embodied in a computer usable medium, such as a memory system of the computer. If the entered code text is in a high level language, the code is compiled, and the resultant compiler code is then linked with an object code of precompiled windows library routines. To execute the linked compiled object code, the system user invokes the object code, causing the computer system to load the code in memory, from which the CPU reads and executes the code to perform the tasks identified in the program.

Figure 6 shows an illustrative block diagram of the hierarchical control structure of the computer program 141. A user enters a process set and process chamber number into a process selector subroutine 142. The process sets are predetermined sets of process parameters necessary to carry out specified processes in a specific process chamber, and are identified by predefined set numbers. The process parameters relate to process conditions such as, for example, process gas composition and flow rates, temperature, pressure, plasma conditions such as cooling gas pressure, and chamber wall temperature.

A process sequencer subroutine 143 comprises program code for accepting the identified process chamber and set of process parameters from the process selector

subroutine 142, and for controlling operation of the various process chambers. Multiple users can enter process set numbers and process chamber numbers, or a user can enter multiple process set numbers and process chamber numbers, so the sequencer subroutine 143 operates to schedule the selected processes in the desired sequence. Preferably the sequencer subroutine 143 includes a program code to perform the steps of (i) monitoring the operation of the process chambers to determine if the chambers are being used, (ii) determining what processes are being carried out in the chambers being used, and (iii) executing the desired process based on availability of a process chamber and type of process to be carried out. Conventional methods of monitoring the process chambers can be used, such as polling. When scheduling which process is to be executed, the sequencer subroutine 143 can be designed to take into consideration the present condition of the process chamber being used in comparison with the desired process conditions for a selected process, or the "age" of each particular user entered request, or any other relevant factor a system programmer desires to include for determining scheduling priorities.

Once the sequencer subroutine 143 determines which process chamber and process set combination is going to be executed next, the sequencer subroutine 143 causes execution of the process set by passing the particular process set parameters to the chamber manager subroutines 144A-C which control multiple processing tasks in different process chambers according to the process set determined by the sequencer subroutine 143. For example, the chamber manager subroutine 144A comprises program code for controlling CVD process operations, within the described process chamber 38. The chamber manager subroutine 144 also controls execution of various chamber component subroutines or program code modules, which control operation of the chamber components necessary to carry out the selected process set. Examples of chamber component subroutines are substrate positioning subroutine 145, process gas control subroutine 146, pressure control subroutine 147, heater control subroutine 148, and plasma control subroutine 149.

In operation, the chamber manager subroutine 144A selectively schedules or calls the process component subroutines in accordance within the particular process set being executed. The chamber manager subroutine 144A schedules the process component subroutines similarly to how the sequencer subroutine 143 schedules which process chamber 40 and process set is to be executed next. Typically, the chamber manager subroutine 144A includes steps of monitoring the various chamber components,

determining which components need to be operated based on the process parameters for the process set to be executed, and causing execution of a chamber component subroutine responsive to the monitoring and determining steps.

Hypothetical Example

The following hypothetical example describes a method of forming a feature at the contact level on a substrate. A tantalum nitride layer is used as a barrier layer for the aluminum fill of the feature.

A half-micron feature on a substrate may be filled by the present invention as follows. The substrate surface containing half-micron features were pre-cleaned to remove about 100 Å to 400 Å of material including any oxides or other contaminants. The substrate is then placed in an IMP-PVD TaN chamber having a tantalum target, wherein a plasma comprising argon and nitrogen is struck and about 400 Å of a conformal tantalum nitride layer is deposited on the substrate. The substrate is then transferred to a CVD chamber wherein a conformal aluminum layer of about 1500 Å is deposited on the barrier layer. The substrate is then transferred to a PVD Al chamber having an aluminum target for deposition of about 4000 Å of bulk aluminum at less than 350°C. The aluminum layers (conformal and bulk) are then heated in an annealing chamber. The temperature of the substrate during anneal was maintained below about 450°C.

While the foregoing is directed to embodiments of the present invention, other and further embodiments of the invention may be devised without departing from the basic scope thereof. The scope of the invention is determined by the claims that follow.

Claims:

1. A method of forming a feature at the contact level on a substrate, comprising:
 - (a) depositing a barrier/wetting layer over the surfaces of an aperture, the barrier/wetting layer comprising a material selected from the group of Ta, TaN_x, W, WN_x, and combinations thereof;
 - (b) depositing a conformal metal layer over the surface of the barrier/wetting layer, the conformal metal layer having a thickness of between about 200 Angstroms and about 1 micron;
 - (c) depositing a metal layer over the conformal metal layer at a temperature below about 660°C.
2. The method of claim 1, wherein the barrier/wetting layer has a thickness of less than about 2000 Angstroms.
3. The method of claim 1, wherein the barrier/wetting layer has a thickness of between about 5 Angstroms and about 1000 Angstroms.
4. The method of claim 1, wherein the conformal metal layer and the metal layer comprise a metal selected from the group of aluminum, copper, and combinations thereof.
5. The method of claim 4, wherein the conformal metal layer is deposited by chemical vapor deposition and the conducting metal layer is deposited by physical vapor deposition or electroplating.
6. The method of claim 1, wherein the metal layer is deposited at a temperature below about 400°C.
7. The method of claim 1, wherein the steps (a) through (c) are performed sequentially in an integrated processing system.
8. The method of claim 1, wherein the steps (a) through (c) are performed in separate chambers.
9. The method of claim 1, further comprising the step of annealing the metal layer at

a temperature of between about 250°C and about 450°C.

10. The method of claim 1, wherein the barrier layer is deposited using ionized metal plasma physical vapor deposition (IMP-PVD) at a chamber pressure between about 0.5mTorr and about 100mTorr.

11. The method of claim 1, wherein the barrier layer is deposited by sputtering a target and providing an electromagnetic field between the target and the substrate.

12. The method of claim 11, wherein the electromagnetic field is provided by applying an RF biased between about 200W and about 24kW to a coil.

13. The method of claim 12, wherein the target is sputtered by applying a bias between about 200W and about 24kW to the target.

14. The method of claim 13, further comprising applying a bias to the substrate of between about 300 W and 1000W.

15. A process for filling an aperture at the contact level on a substrate, comprising:

a) forming a thin barrier/wetting layer over the surfaces of an aperture, the barrier/wetting layer comprising a material selected from the group of Ta, TaN_x, W, WN_x, and combinations thereof;

b) forming a thin conformal CVD metal layer over the barrier/wetting layer; and

c) forming a PVD metal layer over the CVD metal layer at a temperature less than about 660°C.

16. The process of claim 15, wherein the barrier/wetting layer has a thickness of less than about 2000Å.

17. The process of claim 15, wherein the CVD metal layer has a thickness of less than the thickness which would seal the top of the aperture.

18. The process of claim 15, wherein the CVD conformal metal layer comprises a conducting metal material selected from the group of aluminum, copper, and combinations thereof.

19. The process of claim 15, wherein the PVD metal layer comprises a metal selected from a group of aluminum, copper, and combinations thereof.
20. The process of claim 19, wherein the PVD layer is deposited at a temperature less than 400°C.
21. The method of claim 15, wherein the barrier layer is deposited using ionized metal plasma physical vapor deposition (IMP-PVD) at a chamber pressure between about 0.5mTorr and about 100mTorr.
22. The method of claim 15, wherein the barrier layer is deposited by sputtering a target and providing an electromagnetic field between the target and the substrate.
23. The method of claim 22, wherein the electromagnetic field is provided by applying an RF biased between about 200W and about 24kW to a coil.
24. The method of claim 23, wherein the target is sputtered by applying a bias between about 200W and about 24kW to the target.
25. The method of claim 24, further comprising applying a bias to the substrate of between about 0 W and 1000W.
26. The process of claim 15 wherein the CVD is deposited at a temperature below about 400°C.
27. The process of claim 15 wherein the CVD and PVD layers intermix to form an intermixed metal layer.
28. A semiconductor substrate comprising:
 - a) a dielectric layer formed on the substrate, the dielectric layer having an aperture formed therein and communicating with the substrate;
 - b) a barrier/wetting layer over the surfaces of the aperture, the barrier/wetting layer comprising a material selected from the group of Ta, TaN_x, W, WN_x, and combinations thereof;

c) a chemical vapor deposited conformal metal layer formed over the barrier/wetting layer, the chemical vapor deposited conformal metal layer comprising a material selected from a group of Al, Cu, and combinations thereof;

d) a physical vapor deposited metal layer formed over the chemical vapor deposited conformal metal layer, wherein the physical vapor deposited metal layer is deposited at a temperature below about 400°C, the metal layer comprising a material selected from a group of Al, Cu, and combinations thereof.

29. The process of claim 28, wherein the barrier/wetting layer has a thickness of less than about 2000 Angstroms.

30. A program product, which when read and executed by a computer, comprises the steps of:

- a) generating a plasma in a chamber;
- b) providing a bias to a target disposed in the chamber;
- c) providing a bias to a coil; and
- d) maintaining the chamber pressure between about 0.5mTorr and about 100mTorr during the deposition of a material onto a substrate.

31. The program product of claim 30, wherein an electromagnetic field is provided by applying an RF biased between about 200W and about 24kW to a coil.

32. The program product of claim 31, wherein a target is sputtered by applying a bias between about 200W and about 24kW to the target.

33. The program product of claim 31, further comprising:

- e) providing a bias to the substrate of between about 0 W and 1000W.

34. The program product of claim 31, wherein the target comprises a material selected from the group of Ta, TaN, W, WN, and combinations thereof.

35. A method of forming a feature at the contact level on a substrate, comprising:

- (a) depositing a barrier/wetting layer over the surfaces of an aperture, the barrier/wetting layer comprising a material selected from the group of Ta, TaN_x, W, WN_x,

and combinations thereof; and

(b) depositing a metal layer over the surface of the barrier/wetting layer.

36. The method of claim 35, wherein the metal layer is formed by depositing a conformally metal layer over the surface of the barrier/wetting layer, the conformal metal layer having a thickness of between about 200 Angstroms and about 1 micron, and then depositing a conducting metal layer over the conformal metal layer at a temperature below about 660°C.

37. The method of claim 36, wherein the conformal metal layer is deposited by chemical vapor deposition and the conducting metal layer is deposited by physical vapor deposition or electroplating.

38. The method of claim 36, wherein the conformal metal layer and the conducting metal layer comprise a metal selected from the group of aluminum, copper, and combinations thereof.

39. The method of claim 35, further comprising the step of annealing the metal layer at a temperature of between about 250°C and about 450°C.

40. The method of claim 35, wherein the barrier layer is deposited using ionized metal plasma physical vapor deposition (IMP-PVD) at a chamber pressure between about 0.5mTorr and about 100mTorr.

41. The method of claim 40, wherein the barrier layer is deposited by sputtering a target, wherein sputtering the target comprises applying an RF biased between about 200W and about 24kW to a coil, applying a bias between about 200W and about 24kW to the target, and applying a bias to the substrate of between about 300 W and 1000W.

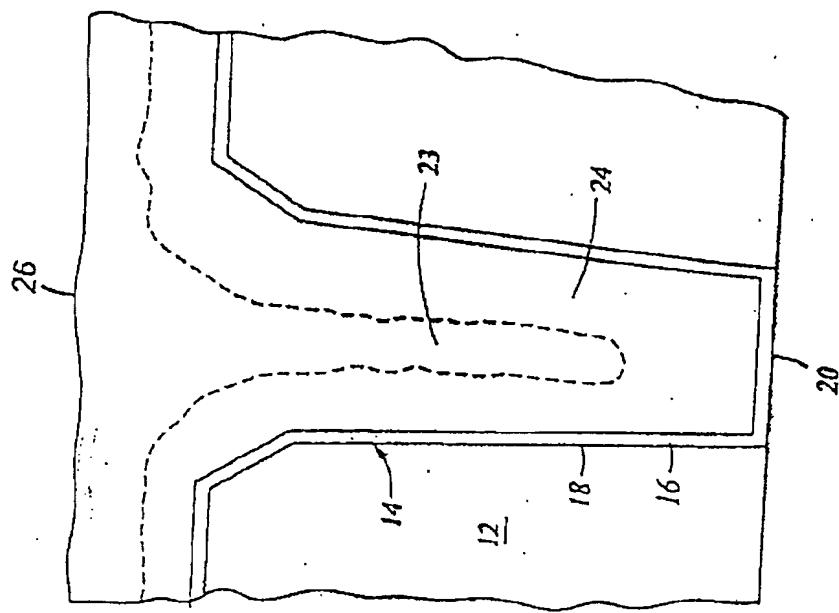


Fig. 1

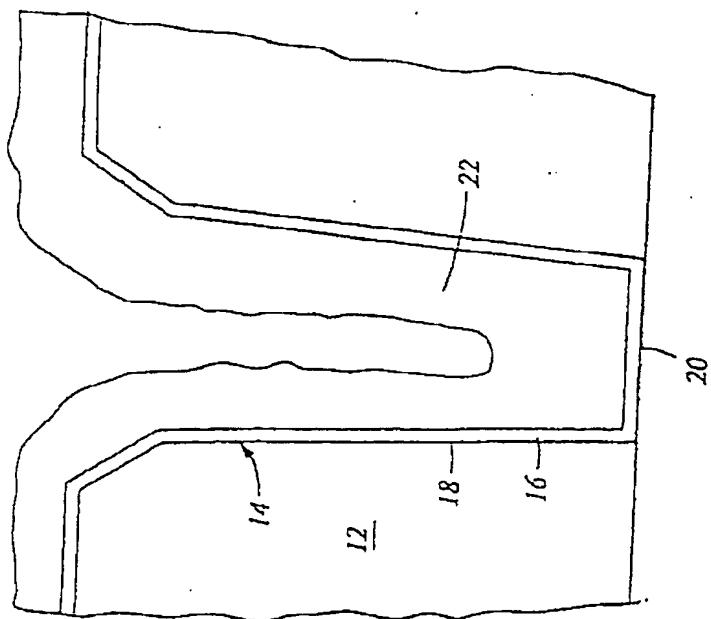
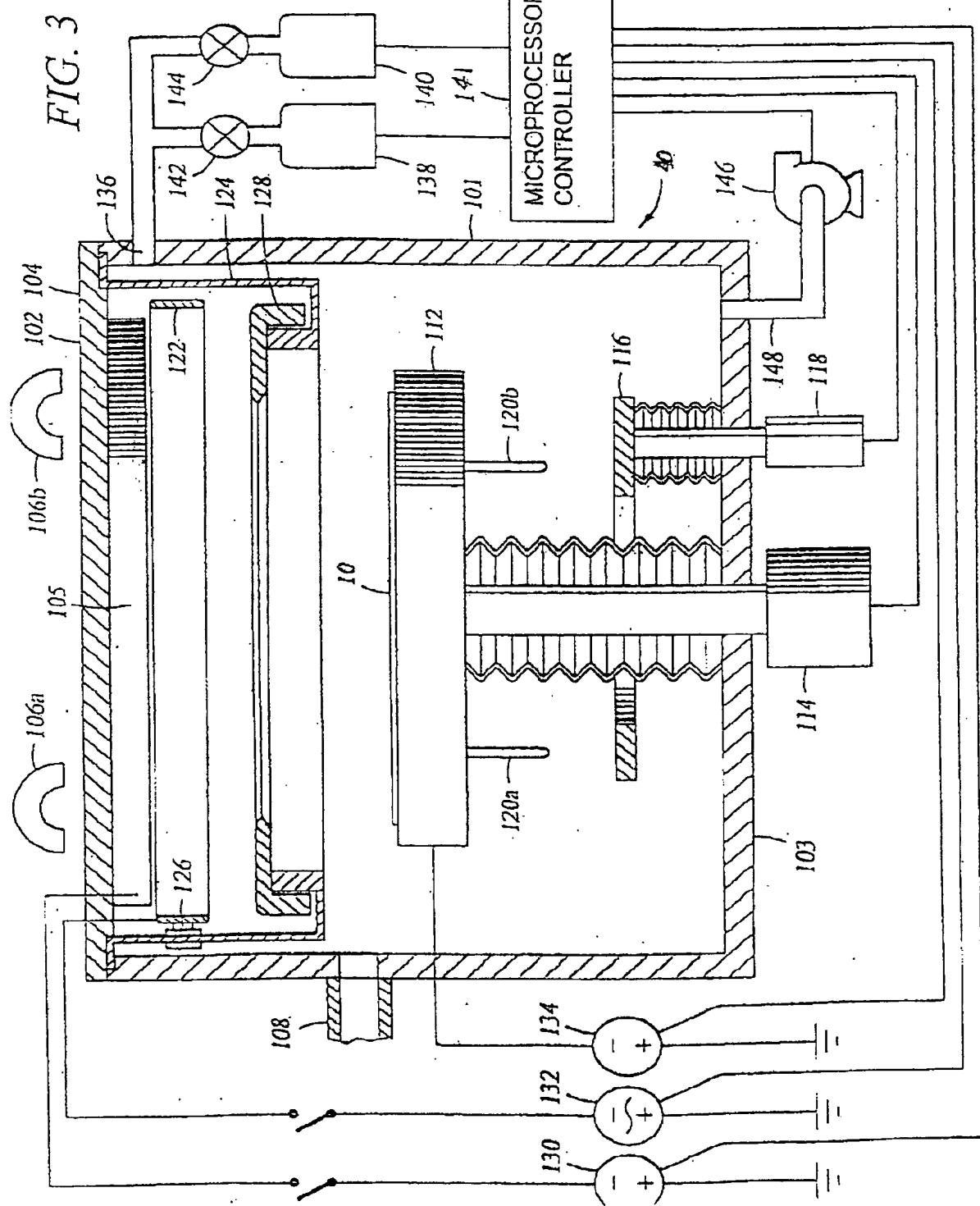


Fig. 2



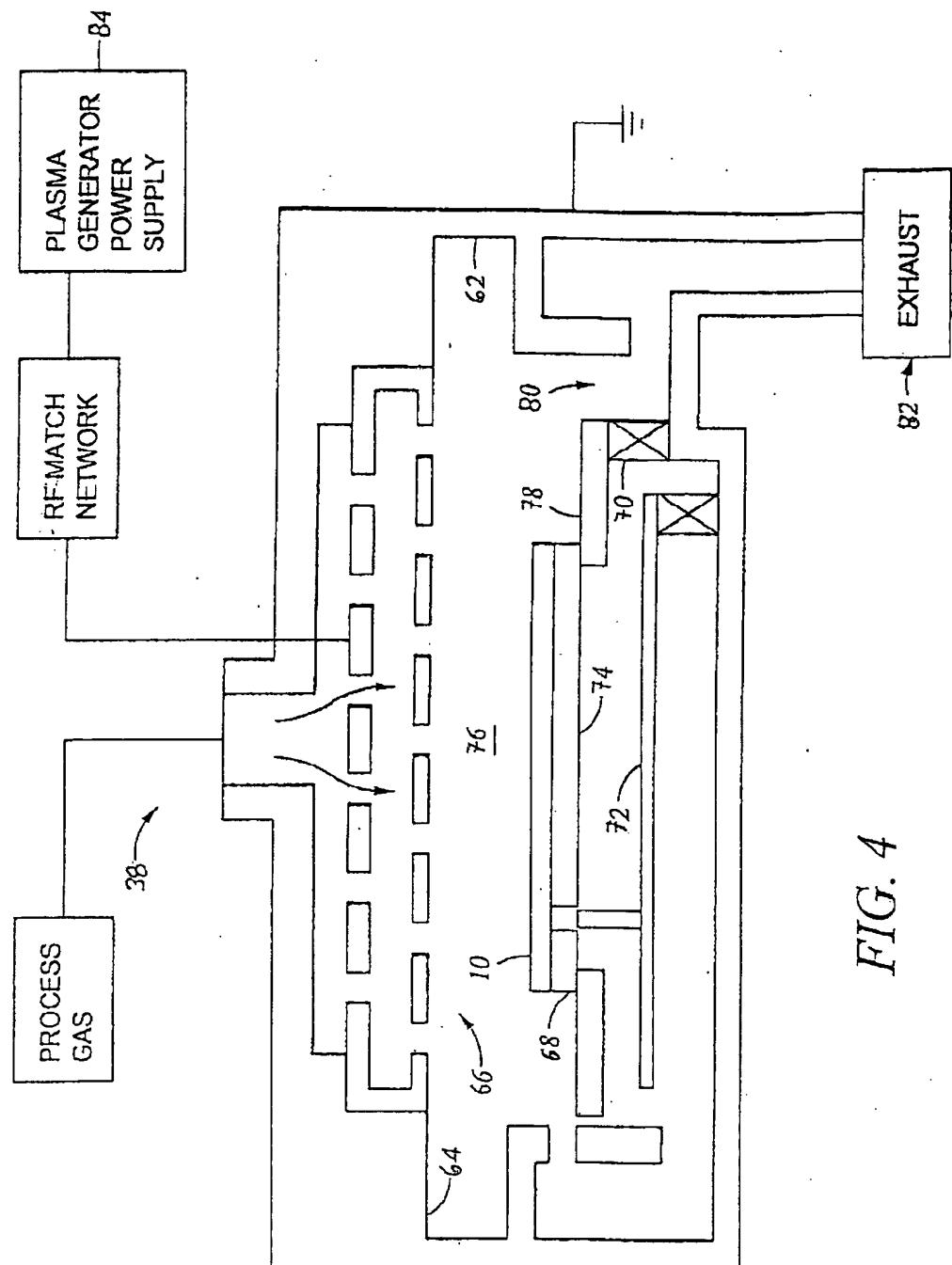


FIG. 4

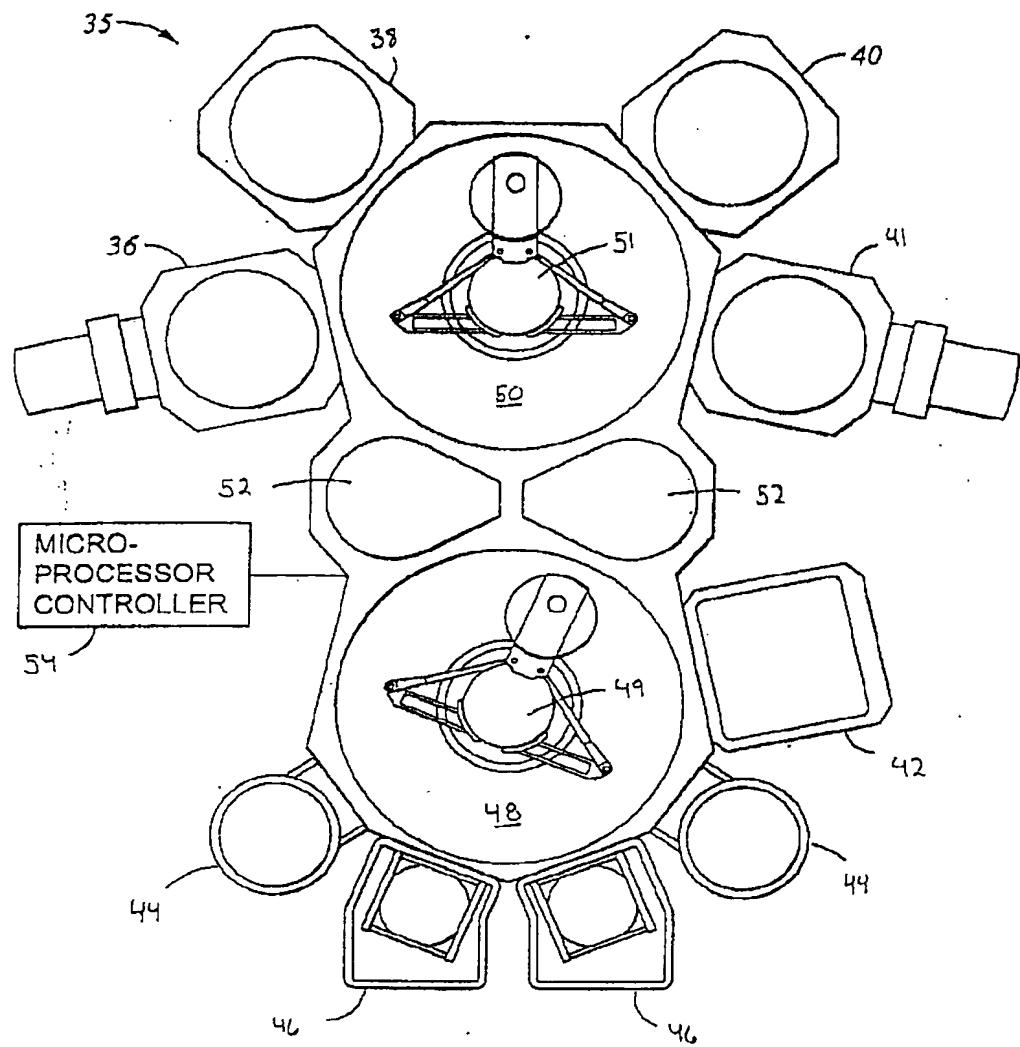
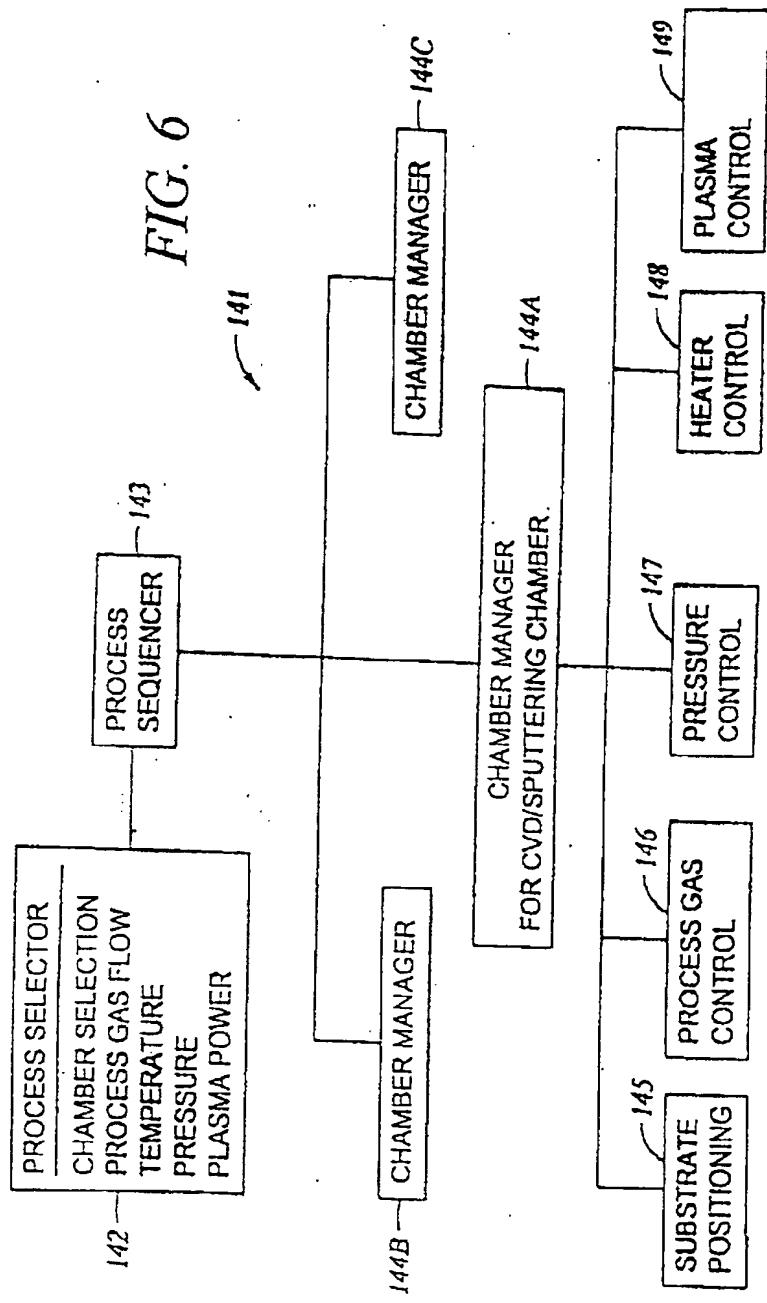


FIG. 5

FIG. 6



ABSTRACT OF THE DISCLOSURE

The present invention provides an effective barrier layer for improved via fill in high aspect ratio sub-micron apertures at low temperature, particularly at the contact level on a substrate. In one aspect of the invention, a feature is filled by first depositing a barrier layer onto a substrate having high aspect ratio contacts or vias formed thereon. The barrier layer is preferably comprised of Ta, TaN_x, W, WN_x, or combinations thereof. A CVD conformal metal layer is then deposited over the barrier layer at low temperatures to provide a conformal wetting layer for a PVD metal. Next, a PVD metal layer is deposited onto the previously formed CVD conformal metal layer at a temperature below that of the melting point temperature of the metal to allow flow of the CVD conformal layer and the PVD metal layer into the vias.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.